

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2 0 0 5 年 3 月 1 4 日

出 願 番 号

Application Number:

特 願 2 0 0 5 - 0 7 0 7 2 3

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 5 - 0 7 0 7 2 3

出 願 人

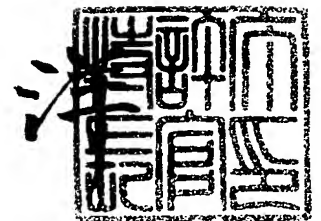
Applicant(s):

日本電信電話株式会社

2 0 0 5 年 8 月 1 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】	特許願
【整理番号】	NTTH167024
【提出日】	平成17年 3月14日
【あて先】	特許庁長官殿
【国際特許分類】	H01L 21/00
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	酒井 英明
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	神 好人
【発明者】	
【住所又は居所】	東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
【氏名】	嶋田 勝
【特許出願人】	
【識別番号】	000004226
【氏名又は名称】	日本電信電話株式会社
【代理人】	
【識別番号】	100064621
【弁理士】	
【氏名又は名称】	山川 政樹
【電話番号】	03-3580-0961
【選任した代理人】	
【識別番号】	100067138
【弁理士】	
【氏名又は名称】	黒川 弘朗
【選任した代理人】	
【識別番号】	100098394
【弁理士】	
【氏名又は名称】	山川 茂樹
【手数料の表示】	
【予納台帳番号】	006194
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 1
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【包括委任状番号】	0205287

【請求項 1】

基板の上に形成されて少なくとも 2 つの金属を含んだ金属酸化物から構成された第 1 金属酸化物層及び第 2 金属酸化物層と、

前記第 1 金属酸化物層の一方の面に設けられた第 1 電極と、

前記第 1 金属酸化物層の他方の面に設けられた第 2 電極と、

前記第 2 金属酸化物層に設けられた第 3 電極と

を少なくとも備え、

前記第 1 電極、前記第 1 金属酸化物層、前記第 2 金属酸化物層、及び前記第 3 電極は、これらの順に直列に接続されている

ことを特徴とするメモリ素子。

【請求項 2】

請求項 1 記載のメモリ素子において、

前記金属酸化物は、印加された電気信号により抵抗値が変化する

ことを特徴とするメモリ素子。

【請求項 3】

請求項 2 記載のメモリ素子において、

前記金属酸化物は、

第 1 電圧値以上の電圧印加により第 1 抵抗値を持つ第 1 状態となり、

前記第 1 電圧とは極性の異なる第 2 電圧値以下の電圧印加により前記第 1 抵抗値より低い第 2 抵抗値を持つ第 2 状態となる

ことを特徴とするメモリ素子。

【請求項 4】

請求項 1～3 のいずれか 1 項に記載のメモリ素子において、

前記金属酸化物は、

少なくとも第 1 金属及び酸素から構成された基部層と、

前記第 1 金属、第 2 金属、及び酸素の化学量論的組成の結晶からなり、前記基部層の中に分散された複数の微結晶粒と

を少なくとも備えることを特徴とするメモリ素子。

【請求項 5】

請求項 4 記載のメモリ素子において、

前記基部層は、前記第 1 金属、前記第 2 金属、及び酸素から構成され、化学量論的組成に比較して第 2 金属の組成比が小さい

ことを特徴とするメモリ素子。

【請求項 6】

請求項 4 または 5 記載のメモリ素子において、

前記基部層は、前記第 1 金属、前記第 2 金属、及び酸素の柱状結晶を含むことを特徴とするメモリ素子。

【請求項 7】

請求項 4～6 のいずれか 1 項に記載のメモリ素子において、

前記基部層に接して配置され、少なくとも前記第 1 金属、及び酸素から構成され、柱状結晶及び非晶質の少なくとも 1 つである金属酸化物単一層を備えることを特徴としたメモリ素子。

【請求項 8】

請求項 7 記載のメモリ素子において、

前記金属酸化物単一層は、前記第 1 金属、前記第 2 金属、及び酸素から構成され、化学量論的組成に比較して第 2 金属の組成比が小さい

ことを特徴とするメモリ素子。

【請求項 9】

請求項 7 または 8 記載のメモリ素子において、

前記金属酸化物層は、前記電極層と同一層を有しないことを特徴とするメモリ素子。

【請求項 10】

請求項 4～9 のいずれか 1 項に記載のメモリ素子において、

前記第 1 金属はチタンであり、前記第 2 金属はビスマスであり、前記基部層は、化学量論的組成に比較して過剰なチタンを含む層からなる非晶質状態であることを特徴とするメモリ素子。

【請求項 11】

請求項 10 記載のメモリ素子において、

前記第 1 金属酸化物層及び前記第 2 金属酸化物層の膜厚は、高々 300 nm であることを特徴とするメモリ素子。

【請求項 12】

請求項 1～11 のいずれか 1 項に記載のメモリ素子において、

前記第 1 電極、前記第 1 金属酸化物層、前記第 2 電極、前記第 2 金属酸化物層、及び前記第 3 電極は、この順に積層されている

ことを特徴とするメモリ素子。

【請求項 13】

請求項 1～11 のいずれか 1 項に記載のメモリ素子において、

前記第 1 金属酸化物層の第 1 方向の面に接続された接続電極を備え、

前記第 2 金属酸化物層の前記第 1 方向の面に、前記接続電極は接続され、

前記第 1 電極は、前記第 1 金属酸化物層の前記第 1 方向の面に前記接続電極と絶縁分離されて接続され、

前記第 2 電極は、前記第 1 金属酸化物層の前記第 1 方向とは異なる第 2 方向の面に接続され、

前記第 3 電極は、前記第 2 金属酸化物層の前記第 2 方向の面に接続されていることを特徴とするメモリ素子。

【請求項 14】

請求項 1～11 のいずれか 1 項に記載のメモリ素子において、

前記第 1 金属酸化物層の第 1 方向の面に接続された接続電極を備え、

前記第 2 金属酸化物層の前記第 1 方向とは異なる第 2 方向の面に、前記接続電極は接続され、

前記第 1 電極は、前記第 1 金属酸化物層の前記第 1 方向の面に接続され、

前記第 2 電極は、前記第 1 金属酸化物層の前記第 2 方向の面に接続され、

前記第 3 電極は、前記第 2 金属酸化物層の前記第 1 方向の面に接続されていることを特徴とするメモリ素子。

【請求項 15】

請求項 1～14 のいずれか 1 項に記載のメモリ素子において、

前記第 1 金属酸化物層に接して設けられた第 1 絶縁層を備える

ことを特徴とするメモリ素子。

【請求項 16】

請求項 15 記載のメモリ素子において、

前記第 1 金属酸化物層の一方の面に接して設けられた前記第 1 絶縁層と、

前記第 1 金属酸化物層の他方の面に接して設けられた第 2 絶縁層と

を備えることを特徴とするメモリ素子。

【請求項 17】

請求項 1～14 のいずれか 1 項に記載のメモリ素子において、

前記第 2 金属酸化物層に接して設けられた第 3 絶縁層を備える

ことを特徴とするメモリ素子。

【請求項 18】

請求項 17 記載のメモリ素子において、

前記第 2 金属酸化物層の一方の面に接して設けられた前記第 3 絶縁層と、

別記第 2 金属酸化物層の他方の面に接して設けられた第 4 絶縁層とを備えることを特徴とするメモリ素子。

【発明の名称】 メモリ素子

【技術分野】

【0001】

本発明は、強誘電特性を有するなどの特性を備えた金属酸化物の薄膜を用いたメモリ素子に関する。

【背景技術】

【0002】

従来、メモリには、半導体装置が多く用いられてきた。この中の1つとして、DRAM (Dynamic Random Access Memory) が広く使用されている。DRAMの単位記憶素子(以下、メモリセルという)は、1個のキャパシタと1個のMOSFET (Metal-oxide-semiconductor field effect transistor) からなり、選択されたメモリセルのキャパシタに蓄えられた電荷の状態に対応する電圧変化を、デジタル信号の「0」あるいは「1」として読み取ることで、メモリ動作をさせている。

【0003】

しかし、DRAMでは、キャパシタに蓄えられた電荷が時間とともに減少するため、通電しながらデータを保持しなければならないという欠点を有している。また、DRAMでは、データを読み出す毎にキャパシタの電荷の状態が変化するため、再書き込みが必要となる。これらの問題は、ユビキタスサービス社会で必要となる低消費電力で高速動作をするメモリ装置を開発する上で、大きな制限となっている。

【0004】

現在、高速かつ不揮発なメモリとして、強誘電体の分極を用いた強誘電体メモリ (FeRAM: Ferroelectric RAM) や、強磁性体の磁気抵抗を用いた強磁性体メモリ (MRAM: Magnetoresist RAM) などが注目されており、盛んに研究されている。この中で、FeRAMは、既に実用化されていることもあり、諸処の課題を解決できれば、フラッシュメモリやロジックのDRAMも置き換えできると期待されている。

【0005】

強誘電体材料のうち、FeRAMには、主に酸化物強誘電体が使用されている。酸化物強誘電体は、 BaTiO_3 、 PbTiO_3 などのペロブスカイト構造 (Perovskite)、 LiNbO_3 、 LiTaO_3 などの擬イルメナイト構造 (Pseudo-ilmenite)、 PbNb_2O_6 、 $\text{Ba}_2\text{NaNb}_5\text{O}_{15}$ などのタングステン・ブロンズ (TB) 構造 (Tungsten-bronze)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などのビスマス層状構造 (Bismuth layer-structure ferroelectric, BLSF) 等、 $\text{Pb}_2\text{Nd}_2\text{O}_7$ などのパイロクロア構造 (Pyrochlore) に分類される。

【0006】

これらの中でも $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ (PZT) で代表される鉛系強誘電体が、実用上で主流となっている。しかしながら、鉛含有物や鉛酸化物は、労働安全衛生法により規制される材料であり、生態への影響や環境負荷の増大などが懸念される。このため欧米では、生態学的見知及び公害防止の面から規制対象となりつつある。

【0007】

近年の環境負荷軽減の必然性から、非鉛系(無鉛)で鉛系強誘電体の性能に匹敵する強誘電体材料が世界的に注目されており、この中でも無鉛ペロブスカイト型強誘電体やビスマス層状構造強誘電体 (BLSF) が有望とされている。ビスマス層状構造強誘電体は、分極特性に大きな特徴を持ち、配向軸の向きにより分極量が10倍程度変化することや、分極を反転させた回数による劣化が少なく、Pb系よりも疲労特性に優れているという報告もなされている。しかし、ビスマス層状構造強誘電体は、鉛系強誘電体に比べ分極量が小さく成膜法・加工法ともに課題が多いのも事実である(非特許文献1参照)。

【0008】

フラッシュメモリの代わりとして期待されるFeRAMには、主に、スタック型とFET型に分類される。スタック型は、1トランジスタ1キャパシタ型FeRAMとも呼ばれ

、この構造からヘリツノ型やバシツノを付くもの、フレーツ型やバシツノを付くもの、立体型キャパシタを持つものがある。これらの構造では、キャパシタ中の強誘電体の分極の向きにより、トランジスタを流れる電流量が変化することを利用し、メモリの「0」と「1」とを読み出すようにしている。また、強誘電体の分極は、通電せずに保持することができるので、F e R A Mは、不揮発性も有している。しかしながら、F e R A Mは、データを読み出すときに分極の反転が伴うことがあり、破壊読み出し動作になるという欠点を有している。また、F e R A Mは、1つのメモリセルが専有する面積が大きいため、高集積化が容易ではない。

【0009】

上述したスタック型F e R A Mに対し、F E T型F e R A Mは、次世代を担うF e R A Mとして期待されている。F E T型F e R A Mは、1トランジスタ型F e R A Mとも呼ばれ、この構造から、M O S F E Tのゲート電極とチャネル領域のゲート絶縁膜の代わりに強誘電体膜を配置したM F S (Metal-ferroelectric-semiconductor) 型F e R A M、M O S F E Tのゲート電極の上に強誘電体膜を配置したM F M I S (Metal-ferroelectric-metal-insulator-semiconductor) 型F e R A M、さらにM O S F E Tのゲート電極とゲート絶縁膜の間に強誘電体膜を配置したM F I S (Metal-ferroelectric-insulator-semiconductor) 型F e R A Mなどの1トランジスタ型F e R A Mがある(非特許文献2参照)。

【0010】

これらのF e R A Mは、M O S F E Tの動作に強誘電体の分極を適用させたものであり、分極の状態により、ゲート絶縁膜直下の半導体表面にチャネルが形成される場合と、形成されない場合との状態を作り出し、このときのソースドレイン間の電流値を読み取り、電気的なデジタル信号の「0」あるいは「1」として取り出すことで、メモリ動作を実現している。

【0011】

F E T型F e R A Mでは、動作原理から、データ読み出しを行っても、強誘電体の分極量は変化しないことから非破壊読み出しが可能であり、高速動作が期待されている。また、1トランジスタ1キャパシタ型F e R A Mに比べて専有面積も小さくできることから、高集積化に有利である特徴を持つ。

【0012】

しかしながら、上述した構成では、強誘電体の層を半導体上に形成することになるが、よく知られているように、半導体上に強誘電体の層を形成することは非常に困難である。例えば、S iなどの半導体基板を用いた場合、強誘電体の成膜に良く用いられるゾルゲル法や有機金属化学気相堆積(Metal-Organic Chemical Vapor Deposition: M O C V D)法などでは、高温での成膜が必要となるため、半導体の表面が酸化又は変質してしまう。これにより、界面に不要な酸化膜や欠陥を形成してしまい、これらがメモリ特性を大きく悪化させる原因となる。

【0013】

実際、界面での酸化膜は強誘電体の分極保持を妨げるような減分極電界を発生させるため、メモリの保持特性を著しく悪くしてしまう。また欠陥の形成は、ゲートからチャネルへのリーク電流を増大させるため、トランジスタのO N / O F F比を劣化させてしまう。このような問題点を解決するため、強誘電体と半導体に間に高誘電率の絶縁膜を挟む構造が提案されているが、やはり減分極電界の影響を無視することができず、長期の分極保持は非常に困難であるという報告が多い。

【0014】

上述したことから明らかなように、次世代のメモリとして注目されているF e R A Mを実現するためには、基板上への強誘電体薄膜の形成が非常に重要である。現在までに様々な形成装置及び種々の薄膜形成方法が試みられている。例えば、前述したゾルゲル法やM O C V D方法に加え、パルス・レーザ・デポジション(Pulsed laser deposition, P L D)、高周波スパッタリング法(rf-sputtering、R Fスパッタ法やマグネトロンスパッタ法

こも町ふ)、としんへハツノ広 (direction cyclotron resonance sputtering) などが挙げられる。

【0015】

ゾルゲル法などの化学溶液堆積法は、強誘電体の基材を有機溶媒に溶解して基板に塗布し、この塗布膜を焼結する手順を繰り返し、所定の膜厚とした強誘電体層を形成する方法である。ゾルゲル法は、簡便で比較的大面積に膜が形成できるのが特徴であるが、塗布する基板との濡れ性の問題や、形成した膜中に溶媒が残ってしまうことによる汚染などの多くの欠点を抱えている。

【0016】

MOCVD法は、大面積に結晶性の良い膜を形成でき、かつ段差被覆特性にも優れた強誘電体の成膜手法として、多くの注目を集めている。しかしながら、ソースガスの供給するため有機溶剤を使用するため、膜中の炭素原子による汚染が大きな問題点となる。利用するガスの取り扱いが容易ではなく、装置が非常に大掛かりになってしまう。

【0017】

形成される薄膜の純度や組成に関しては、PLD法は有効な成膜手法である。これは、エキシマレーザなどの強力なレーザ光源で強誘電体材料のターゲットをアブレーションすることにより放出される原子、イオン、クラスターを基板に堆積させ、薄膜を形成する方法である。PLD法では、比較的結晶性の良い薄膜を形成できることから、大きな関心が寄せられている。しかし、レーザがターゲットに照射される面積が小さいため、基板の上に形成される薄膜に大きな面内分布が生じてしまい、大面積での成膜は容易ではない。従って、量産をするなど工業的な観点からは、現在のPLD法は極めて不利な手法である。

【0018】

上述した種々の膜形成方法に対し、強誘電体膜の形成方法としてスパッタリング法（単にスパッタ法ともいう）が注目されている。スパッタ法は、危険度の高いガスや有毒ガスなどを用いることなく、堆積する膜の表面凹凸（表面モフォロジ）が比較的良いなどの理由により、有望な成膜装置・方法の1つになっている。

【0019】

従来から使用されているRFスパッタ法においては、ターゲットとして対象とする化合物の焼結体を用い、酸化物強誘電体を堆積している。ところが、不活性ガスとしてアルゴン、反応性ガスとして酸素を用いてスパッタした場合、基板の上に形成された強誘電体薄膜中に酸素が十分にに取り込まれず、良好な膜質の強誘電体薄膜が得られないという問題点があった。このため、上述したスパッタ法では、膜を形成した後に酸素中でのアニーリングが必要とされてきた。

【0020】

一方、スパッタ膜の膜質改善の方法として、電子サイクロトロン共鳴（ECR）によりプラズマを発生させ、このプラズマの発散磁場を利用して作られたプラズマ流を基板に照射し、同時にターゲットと接地と間に高周波又は負の直流電圧を印加し、ECRで発生したプラズマ流中のイオンをターゲットに引き込み衝突させて、スパッタリングすることにより、膜を基板上に堆積させるECRスパッタ法がある。

【0021】

ECRを利用したプラズマは、低ガス圧（0.01Pa程度）での放電、低エネルギー（数10eV程度）領域でのイオンエネルギーの制御、高イオン化率などの優れた特性を有する。ECRプラズマ中のイオンは、ターゲットに印加される負電荷により、ターゲット材料をスパッタするとともに、スパッタされて基板の上に飛来した原料粒子に適度なエネルギーを与え、原料粒子と酸素との結合反応を促進することになり、堆積した膜の膜質改善になると考えられている。従って、ECRスパッタ法では、低い基板温度で高品質の膜が形成できることが大きな特徴であり、表面モフォロジも極めて優れたものとなる。特にゲート絶縁膜の形成においては、この有効性を発揮している（特許文献1，特許文献2参照）。

【0022】

また、上記のバンプを用いた強誘電体薄膜形成の検討についてもいふことが報告されている（特許文献3、特許文献4参照）。これらでは、バリウム又はストロンチウムを含む強誘電体の製造について報告されている。また、ECRスパッタ法による $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の製造法についても報告されている（非特許文献2参照）。

【0023】

上述したようなメモリを取り巻く状況に対し、強誘電体の分極量により半導体の状態を変化させる（チャンネルを形成する）などの効果によりメモリを実現させるのではなく、図22に示すように、半導体基板2901の上部に直接形成した強誘電体層2902の抵抗値を変化させ、結果としてメモリ機能を実現する技術が提案されている（特許文献5参照）。強誘電体層2902の抵抗値の制御は、電極2903と電極2904との間に電圧を印加することで行う。

【0024】

【特許文献1】特許第2814416号公報

【特許文献2】特許第2779997号公報

【特許文献3】特開平10-152397号公報

【特許文献4】特開平10-152398号公報

【特許文献5】特開平7-263646号公報

【非特許文献1】塩寄忠 監修、「強誘電体材料の開発と応用」、シーエムシー出版

【非特許文献2】増本らのアブライド・フィジクス・レター、第58号、243頁、1991年、(Appl. Phys. Lett., 58, 243, (1991))。

【発明の開示】

【発明が解決しようとする課題】

【0025】

しかしながら、図22に示した特許文献5に提案されている構造は、前述したMFS型FeRAMのゲート電極直下と同様に、半導体の上に強誘電体層を備える構造となっている。従って、図22に示す素子では、MFS型FeRAMの製造過程に最大の問題となる半導体上の良質な強誘電体層の形成が困難であるばかりでなく、半導体と強誘電体層との間に半導体酸化物が形成されてしまい、減分極電界の発生や多くの欠陥の発生が特性に大きく影響し、長時間のデータ保持は不可能であることが予想される。実際、図22に示す素子では、2分程度の保持時間しか達成されておらず、1分程度でデータの再書き込みを強いられることになる。また、メモリとしてのON/OFF比も3程度であり、十分なものではなかった。

【0026】

また、図22に示す素子に見られる電流電圧ヒステリシスは、半導体基板2901と強誘電体層2902の界面に発生した欠陥に、電子又はホールが捕獲（トラップ）されるために起きるとされている。このため、特許文献5では、強誘電体に接する材料は金属ではなく、キャリアの少ない半導体基板が好ましいとされている。金属のようにキャリアが多数の場合は、これらの電気伝導が支配的となってしまう、界面でのトラッピング効果が顕著でなくなるため、ヒステリシスが発現しにくいものと考えられている。これを防ぐために、半導体基板はキャリア数を制御する役割を担っており、特許文献5の構造では不可欠な要素となっている。しかしながら、このような界面におけるトラッピング現象が電流電圧特性のヒステリシスの原因の場合、メモリの保持時間は誘電緩和時間程度となってしまう、原理的に長期のメモリ保持は望めない構成となる。

【0027】

本発明は、以上のような問題点を解消するためになされたものであり、より安定に状態の保持が得られるなど、金属酸化物から構成された材料を用いて安定した動作が得られるメモリ素子を提供することを目的とする。

【課題を解決するための手段】

【0028】

本発明に係るメモリ素子は、基板の上に形成されて少なくとも2つの金属を含んだ金属

酸化物が構成された第1金属酸化物層及び第2金属酸化物層と、第1金属酸化物層の一方の面に設けられた第1電極と、第1金属酸化物層の他方の面に設けられた第2電極と、第2金属酸化物層に設けられた第3電極とを少なくとも備え、第1電極、第1金属酸化物層、第2金属酸化物層、及び第3電極は、これらの順に直列に接続されているようにしたものである。

【0029】

このように構成されたメモリ素子では、金属酸化物が、印加された電気信号により抵抗値が変化することを利用し、第1金属酸化物層における抵抗変化でメモリセルの選択が行われ、第2金属酸化物層における抵抗変化でメモリ動作が行われる。また、第2金属酸化物層における抵抗変化でメモリセルの選択が行われ、第1金属酸化物層における抵抗変化でメモリ動作が行われる。上記メモリ素子において、金属酸化物は、第1電圧値以上の電圧印加により第1抵抗値を持つ第1状態となり、第1電圧とは極性の異なる第2電圧値以下の電圧印加により第1抵抗値より低い第2抵抗値を持つ第2状態となるものであればよい。

【0030】

上記メモリ素子において、金属酸化物は、少なくとも第1金属及び酸素から構成された基部層と、第1金属、第2金属、及び酸素の化学量論的組成の結晶からなり、基部層の中に分散された複数の微結晶粒とを少なくとも備えるものであればよい。また、基部層は、第1金属、第2金属、及び酸素から構成され、化学量論的組成に比較して第2金属の組成比が小さいものであればよい。また、基部層は、第1金属、第2金属、及び酸素の柱状結晶を含むものであってもよい。この場合、基部層に接して配置され、少なくとも第1金属、及び酸素から構成され、柱状結晶及び非晶質の少なくとも1つである金属酸化物単一層を備えるようにしてもよい。金属酸化物単一層は、第1金属、第2金属、及び酸素から構成され、化学量論的組成に比較して第2金属の組成比が小さいものである。また、金属酸化物単一層は、微結晶粒を含まない。なお、第1金属はチタンであり、第2金属はビスマスであり、基部層は、化学量論的組成に比較して過剰なチタンを含む層からなる非晶質状態であればよい。この場合、第1金属酸化物層及び第2金属酸化物層の膜厚は、高々300nmであればよい。

【0031】

上記メモリ素子は、例えば、第1電極、第1金属酸化物層、第2電極、第2金属酸化物層、及び第3電極は、この順に積層されていればよい。また、第1金属酸化物層の第1方向の面に接続された接続電極を備え、第2金属酸化物層の第1方向の面に、接続電極は接続され、第1電極は、第1金属酸化物層の第1方向の面に接続電極と絶縁分離されて接続され、第2電極は、第1金属酸化物層の第1方向とは異なる第2方向の面に接続され、第3電極は、第2金属酸化物層の第2方向の面に接続されていてもよい。また、第1金属酸化物層の第1方向の面に接続された接続電極を備え、第2金属酸化物層の第1方向とは異なる第2方向の面に、接続電極は接続され、第1電極は、第1金属酸化物層の第1方向の面に接続され、第2電極は、第1金属酸化物層の第2方向の面に接続され、第3電極は、第2金属酸化物層の第1方向の面に接続されているようにしてもよい。

【0032】

また、上記メモリ素子において、第1金属酸化物層に接して設けられた第1絶縁層を備えるようにしたもよい。また、第1金属酸化物層の一方の面に接して設けられた第1絶縁層と、第1金属酸化物層の他方の面に接して設けられた第2絶縁層とを備えるようにしてもよい。同様に、第2金属酸化物層に接して設けられた第3絶縁層を備えるようにしてもよい。また、第2金属酸化物層の一方の面に接して設けられた第3絶縁層と、第2金属酸化物層の他方の面に接して設けられた第4絶縁層とを備えるようにしてもよい。

【発明の効果】

【0033】

以上説明したように、本発明では、少なくとも2つの金属を含んだ金属酸化物から構成された第1金属酸化物層の一方の面に設けられた第1電極と、第1金属酸化物層の他方の

面に設けられた第2電極と、第1金属酸化物層と同様の金属酸化物から構成された第2金属酸化物層と、この第2金属酸化物層に設けられた第3電極とを少なくとも備え、第1電極、第1金属酸化物層、第2金属酸化物層、及び第3電極は、これらの順に直列に接続されているようにスイッチ素子を構成した。従って、金属酸化物が、印加された電気信号により抵抗値が変化することを利用し、例えば、第1金属酸化物層における抵抗変化でメモリセルの選択が行われ、第2金属酸化物層における抵抗変化でメモリ動作が行われるなど、金属酸化物から構成された材料を用いて安定した動作が得られるメモリ素子が提供できるという優れた効果が得られる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の実施の形態について図を参照して説明する。図1は、本発明の実施の形態におけるメモリ素子の構成例を概略的に示す模式的な断面図(a)及び部分断面図(b)である。図1に示すメモリ素子は、例えば、単結晶シリコンからなる基板101の上に絶縁層102、接地電極(第1電極)103、BiとTiとOとから構成された膜厚30～200nm程度の金属酸化物からなるスイッチ層(第1金属酸化物層)104、ビット電極(第2電極)105、BiとTiとOとから構成された膜厚30～200nm程度の金属酸化物からなるメモリ層(第2金属酸化物層)106、ワード電極(第3電極)107を備える。本メモリ素子は、接地電極103とスイッチ層104とメモリ層106とワード電極107とが、これらの順に直列に接続され、スイッチ層104にはビット電極105が設けられているようにしたものである。なお、図1は、例えば、マトリクス状に配列された複数のビット線と複数のワード線との交点部分に接続されている1つのメモリセル部分を示したものである。

【0035】

基板101は、半導体、絶縁体、金属などの導電性材料のいずれから構成されていてもよい。基板101が絶縁材料から構成されている場合、絶縁層102はなくてもよい。また、基板101が導電性材料から構成されている場合、絶縁層102、接地電極103はなくてもよく、この場合、導電性材料から構成された基板101が、接地電極となる。接地電極103、ビット電極105、及びワード電極107は、例えば、白金(Pt)、ルテニウム(Ru)、金(Au)、銀(Ag)などの貴金属を含む遷移金属の金属から構成されていればよい。また、各電極は、窒化チタン(TiN)、窒化ハフニウム(HfN)、ルテニウム酸ストロンチウム(SrRuO_2)、酸化亜鉛(ZnO)、鉛酸スズ(ITO)、フッ化ランタン(LaF_3)などの遷移金属の窒化物や酸化物やフッ化物等の化合物、さらに、これらを積層した複合膜であってもよい。

【0036】

図1に示したメモリ素子の構成の具体例について説明すると、例えば、接地電極103は、膜厚10nmのルテニウム膜であり、ビット電極105は、膜厚20nm程度のチタン(Ti)膜の上に膜厚10nmのルテニウム膜が形成された積層膜であり、スイッチ層104、メモリ層106は、膜厚40nmのBiとTiとからなる金属酸化物から構成されたものであり、ワード電極107は、Auから構成されたものである。

【0037】

次に、本発明に係るメモリ素子を構成するスイッチ層104及びメモリ層106について、より詳細に説明する。なお、スイッチ層104とメモリ層106とは同様の構成であり、以降では、メモリ層106を代表して説明する。メモリ層106は、図1(b)に拡大して示すように、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む層からなる基部層141の中に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3～15nm程度の複数の微結晶粒142が分散されて構成されたものである。これは、透過型電子顕微鏡の観察により確認されている。基部層141は、ビスマスの組成がほぼ0となる TiO_x の場合もある。言い換えると、基部層141は、2つの金属から構成されている金属酸化物において、いずれかの金属が化学量論的な組成に比較して少ない状態の層である。なお、図1(b)は、メモリ層106の概略的な状態を模式的に示す断面図である。

このような金属酸化物の層（メモリ層 1 0 6）を用いたメモリ素子によれば、以降に説明するように、2つの状態（ON及びOFF）が保持される状態が実現できる。上述した構成の金属酸化物層の特性は、図 1 に示すメモリ素子のビット電極 1 0 5 とワード電極 1 0 7 との間に電圧を印加することで調査されたものである。ビット電極 1 0 5 とワード電極 1 0 7 との間に電源により電圧を印加し、ビット電極 1 0 5 からワード電極 1 0 7 へ流れる電流を電流計により観測すると、図 2 に示す結果が得られた。なお、図 2 の縦軸は、ビット電極 1 0 5 からワード電極 1 0 7 へ流れる方向の電流値を正としている。

【 0 0 3 9 】

以下、図 2 を説明し、あわせて本発明におけるメモリ素子の動作原理を説明する。ただし、ここで説明する電圧値や電流値は、実際の素子で観測されたものを例としている。従って、本現象は、以下に示す数値に限るものではない。実際に素子に用いる膜の材料や膜厚、及び他の条件により、他の数値が観測されることがある。

【 0 0 4 0 】

図 2 は、ビット電極 1 0 5 に印加する電圧をゼロから負の方向に減少させた後にゼロに戻し、さらに正の方向に増加させ、最後に再びゼロに戻したときにメモリ層 1 0 6 を流れる電流値が描くヒステリシスの特性を表している。まずはじめに、ビット電極 1 0 5 により印加される電圧を 0 V から負の方向に徐々に印加させた場合、メモリ層 1 0 6 を流れる負の電流は比較的少ない（ -0.1 V で約 -0.12 mA 程度）。

【 0 0 4 1 】

しかし、 -0.4 V を超えると負の電流値が増加し始める。さらに -1 V まで電圧を下げた後、逆に負の電圧を小さくしていくと、先ほどよりも絶対値が大きな負の電流が流れる状態が保持されたまま、負の電流値は減少していく。このとき、電流値は -0.1 V で約 -0.63 mA であり、先ほどよりも 5 倍程度抵抗値が低く、電流が流れやすい状態である。印加する電圧をゼロに戻すと、電流値もゼロとなる。

【 0 0 4 2 】

次に、ビット電極 1 0 5 に正の電圧を印加していく。この状態では、印加される正の電圧が小さいときは、前の履歴を引き継ぎ、比較的大きな正の電流が流れる（ 0.1 V で約 0.63 mA）。ところが、 0.7 V 程度まで正の電圧を印加すると、正の電流が突然減少する。最後に、 -1 V から 0 V に向かって印加する正の電圧を減少させると、正の電流値もこの流れにくい状態を保持したまま減少し、ゼロに戻る。このとき、正の電流値は、 0.1 V で約 0.12 mA 程度である。

【 0 0 4 3 】

以上に説明したような、メモリ層 1 0 6 中を流れる電流のヒステリシスは、メモリ層 1 0 6 に印加される電圧によりメモリ層 1 0 6 の抵抗値が変化することが原因で発現すると解釈できる。ここで、ワード電極 1 0 7 に電圧を印加する場合を考えると、ある一定以上の大きさの正の電圧 V_{W1} を印加することにより、メモリ層 1 0 6 は電流が流れやすい「低抵抗状態」（ON 状態）に遷移する。一方、ある一定の大きさの負の電圧 V_{W0} を印加することにより、メモリ層 1 0 6 は電流が流れにくい「高抵抗状態」（OFF 状態）に遷移すると考えられる。

【 0 0 4 4 】

メモリ層 1 0 6 には、これらの低抵抗状態と高抵抗状態の 2 つの安定状態が存在し、各々の状態は、前述した一定以上の正あるいは負の電圧を印加しない限り、ON もしくは OFF の各状態を維持する。なお、上述した V_{W0} の値は約 -1 V 程度であり、 V_{W1} の値 $+1$ V 程度であり、高抵抗状態と低抵抗状態の抵抗比は約 $10 \sim 100$ 程度である。上記のような、電圧によりスイッチ層 1 0 4 及びメモリ層 1 0 6 の抵抗がスイッチ（変化）する現象を用いることで、図 1 に示すメモリ素子により、不揮発性で非破壊読み出し動作が可能な機能素子可以实现できる。

【 0 0 4 5 】

次に、上述した 2 つの状態を DC 電圧を用いて制御する場合について説明する。まず、

低抵抗遷移電圧 V_{W1} 以上の大きさの負の電圧をワード電極 107 に印加し、メモリ層 106 を低抵抗状態に遷移させる。このことにより、電流が流れ易くなる ON 状態となる。この ON 状態は、読み出し電圧 V_R における電極間の電流値 J_{R1} を観測することで読み出すことができる。読み出し V_R としては、状態が遷移しない程度のなるべく小さな値で、かつ抵抗比が十分に現れるような値を選択することが重要となる（上記の例では 0.1 V 程度が適当）。これにより、低抵抗状態、すなわち ON 状態を破壊することなく、何回も読み出すことが可能となる。

【0046】

一方、高抵抗遷移電圧 V_{W0} 以上の大きさの負の電圧をワード電極 107 に印加することにより、メモリ層 106 を高抵抗状態に遷移させることで、電極間に電流が流れ難くなる OFF 状態にできる。この OFF 状態の読み出しも、読み出し電圧 V_R における電極間の電流値 J_{R0} を観測することにより行うことができる（ $J_{R1}/J_{R0} \approx 10 \sim 100$ ）。また、各電極間に通電がない状態では、メモリ層 106 は各状態を保持するため不揮発性を有しており、書き込み時と読み出し時以外には、電圧を印加する必要はない。

【0047】

上述した 2 つの状態を有する特性は、スイッチ層 104 においても同様であり、これらスイッチ層 104 とメモリ層 106 とを用いた図 1 に示すメモリ素子の動作について、以下に説明する。はじめに、読み出し動作について説明すると、初期状態では、全てのメモリセルのスイッチ層 104 が、高抵抗の状態としておく。この状態で、ワード電極 107（ワード線）がオープンにされた状態で、対応するメモリセルのスイッチ層 104 が低抵抗状態となるような電気信号が、ビット電極 105（対応するビット線）に印加され、スイッチ層 104 がスイッチとしてオンにされた状態とする。ついで、ビット電極 105（ビット線）がオープンにされた状態とし、ワード電極 107（対応するワード線）に読み出し電圧が印加された状態とし、メモリ層 106 の抵抗値を測定すれば、データの読み出しとなる。最後に、ワード電極 107（ワード線）がオープンにされた状態とし、スイッチ層 104 が高抵抗状態となるような電気信号が、ビット電極 105 に印加された状態とし、スイッチ層 104 がスイッチとしてオフにされた状態とする。

【0048】

次に、書き込み動作について説明すると、メモリ層 106 が高抵抗状態あるいは低抵抗状態へと遷移するような電気信号が、書き込み対象のメモリセルに対応するワード線とビット線とに印加された状態とする。このとき、ビット線側に印加される信号は、スイッチ層 104 の抵抗状態が変化しない程度の電圧までとする。これらのことにより、書き込み対象のメモリセル（メモリ素子）のメモリ層 106 を、所望とする高抵抗状態あるいは低抵抗状態へと遷移させることで、データの書き込みとする。

【0049】

上述した読み出し及び書き込みの動作は、例えば、図 3 のフローに示すように行えばよい。まず、ワード電極 107 がオープンとされた状態で、ビット電極 105 に低抵抗遷移電圧 V_{W1} が印加された状態とし、メモリ素子のスイッチ層 104 を「オン」状態、すなわち読み出し可能状態とする。ついで、ビット電極がオープンとされた状態でワード電極 107 に読み出し電圧 V_R が印加された状態とすることで、メモリ層 106 の状態が読み出せる。この後、ワード電極 107 がオープンとされた状態で、ビット電極 105 に高抵抗遷移電圧 V_{W0} が印加された状態とし、メモリ素子のスイッチ層 104 を「オフ」状態、すなわち読み出し不能状態とする。

【0050】

この後、例えば、ワード電極 107 に、低抵抗遷移電圧 V_{W1} の半分程度の電圧の書き込みワード信号が印加され、ビット電極 105 に、上述と反対の極性で低抵抗遷移電圧 V_{W1} の半分程度の電圧の書き込みビット信号が印加された状態とすれば、「1」の「書き込み状態」となる。上述したようにワード電極 107 及びビット電極 105 に信号が印加された状態とすることで、メモリ層 106 には、低抵抗遷移電圧 V_{W1} に等しい電圧が印加された状態となり、メモリ層 106 は低抵抗状態となる。従って、この「書き込み状態」は、

「１」が書き込まれたことになる。これに対し、ワード電極１０７に、高抵抗遷移電圧 V_{W0} の半分程度の電圧の書き込みワード信号が印加され、ビット電極１０５に、上述と反対の極性で高抵抗遷移電圧 V_{W0} の半分程度の電圧の書き込みビット信号が印加された状態とすれば、メモリ層１０６に「０」の「書き込み状態」となる。一方、いずれの「書き込み状態」においても、スイッチ層１０４には、各遷移電圧の半分程度の電圧しか印加されないため、抵抗の状態は変化しない。

【００５１】

以上に説明したように、図１に示すメモリ素子によれば、スイッチ層１０４を用いることでメモリセルの「オン」状態と「オフ」とを切り替えるようにしたので、メモリ層１０６の抵抗状態にかかわらず、スイッチ層１０４を「オフ」状態とすることにより、非選択メモリセルからのリーク電流（干渉電流）が抑制できるようになる。また、図１に示す素子によれば、上述した「オン」と「オフ」との切り替えを、メモリ層１０６と同様の金属酸化物から構成されたスイッチ層１０４により行うようにした。このように、シリコンなどの半導体を用いたＭＯＳトランジスタなど、他の材料から構成された素子を用いる必要がないため、基板１０１に適用可能な材料に制限がない。

【００５２】

ここで図１に示したメモリ素子におけるＯＮ及びＯＦＦの各状態保持特性について、図４に示す。例えば、ワード電極１０７に低抵抗遷移電圧 V_{W1} を印加して、図２に示す低抵抗状態（ＯＮ状態）に遷移させた後、電極間に読み出し電圧 V_R を印加してメモリ層１０６に流れる電流値 J_{R1} を観測する。次に、ワード電極１０７に高抵抗遷移電圧 V_{W0} を印加することで高抵抗状態に遷移させてＯＦＦ状態とし、この後、一定時間毎に電極間に読み出し電圧 V_R を印加し、メモリ層１０６に流れる電流値 J_{R0} を観測する。メモリ素子としてのＯＮ／ＯＦＦ比は、 J_{R1}/J_{R0} の値として表せるので、図４では、 J_{R1}/J_{R0} の値を縦軸とし、上述した観測により得られた J_{R1}/J_{R0} の値の経時に伴う変化を示した。

【００５３】

観測されたＯＮ／ＯＦＦ比は、経時に伴い徐々に減少する傾向が示されているが、十分にデータの判別が可能な範囲である。図４に黒丸で示す観測結果による外挿直線（破線）から予想される１０００分後のＯＮ／ＯＦＦ比は２１程度であり、この時点でも判別は可能である。このように、図１に示すメモリ素子によれば、少なくとも１０００分の保持時間を有していることがわかる。また、以上の実施の形態では、印加した電圧は直流であったが、適当な幅と強さのパルス電圧を印加しても同様の効果は得られる。

【００５４】

次に、図１に示したメモリ素子の製造方法例について説明する。なお、以降では、ＥＣＲプラズマスパッタ法を例に各薄膜の形成方法を説明しているが、これに限るものではなく、他の成膜技術や方法を用いるようにしてもよいことは、いうまでもない。

【００５５】

まず、図５（ａ）に示すように、主表面が面方位（１００）で抵抗率が $1 \sim 2 \Omega \cdot \text{cm}$ のｐ形のシリコンからなる基板１０１を用意し、基板１０１の表面を硫酸と過酸化水素水の混合液と純水と希フッ化水素水とにより洗浄し、このあと乾燥させる。ついで、洗浄・乾燥した基板１０１の上に、絶縁層１０２が形成された状態とする。絶縁層１０２の形成では、例えばＥＣＲスパッタ装置を用い、ターゲットとして純シリコン（Ｓｉ）を用い、プラズマガスとしてアルゴン（Ａｒ）と酸素ガスをを用いたＥＣＲスパッタ法により、シリコンからなる基板１０１の上に、表面を覆う程度にＳｉ－Ｏ分子によるメタルモードの絶縁層１０２を形成する。

【００５６】

例えば、 10^{-5} Pa 台の内部圧力に設定されているプラズマ生成室内に流量 20 sccm 程度でＡｒガスを導入し、内部圧力を $10^{-3} \sim 10^{-2}$ Pa 程度にし、ここに、 0.0875 T の磁場と 2.45 GHz のマイクロ波（ 500 W 程度）とを供給して電子サイクロトロン共鳴条件とすることで、プラズマ生成室内にＡｒのプラズマが生成された状態とする。なお、 sccm は流量の単位あり、 $0^\circ\text{C} \cdot 1 \text{ 気圧}$ の流体が１分間に 1 cm^3 流れることを示す

•

1

ところで、上述したようにE C Rスパッタ法によりR_uの膜を形成するときに、基板1

り、ヒートアップ時に加熱したが、加熱しなくてもよい。ただし、加熱を行わない場合、ルテニウムの二酸化シリコンへの密着性が低下するため、剥がれが生じる恐れがあり、これを防ぐために、基板を加熱して膜を形成する方が望ましい。

【0063】

以上のようにして接地電極103を形成した後、BiとTiの割合が4：3の酸化物焼結体（Bi—Ti—O）からなるターゲットを用い、プラズマガスとしてアルゴン（Ar）と酸素ガスとを用いたECRスパッタ法により、図5（c）に示すように、接地電極103の上に、表面を覆う程度に、スイッチ層104が形成された状態とする。

【0064】

スイッチ層104の形成について詳述すると、まず、300℃～700℃の範囲に基板101が加熱されている状態とする。また、プラズマ生成室内に、例えば流量20sccmで希ガスであるArガスを導入し、例えば 10^{-3} Pa～ 10^{-2} Pa台の圧力に設定する。この状態で、プラズマ生成室に電子サイクロトロン共鳴条件の磁場を与え、この後、2.45GHzのマイクロ波（例えば500W）をプラズマ生成室に導入し、このマイクロ波の導入により、プラズマ生成室にECRプラズマが生成された状態とする。

【0065】

生成されたECRプラズマは、磁気コイルの発散磁場によりプラズマ生成室より処理室側に放出される。また、プラズマ生成室の出口に配置された焼結体ターゲットに、13.56MHzの高周波電力（例えば500W）を供給する。このことにより、焼結体ターゲットにAr粒子が衝突してスパッタリング現象を起こし、Bi粒子とTi粒子が飛び出す。

【0066】

焼結体ターゲットより飛び出したBi粒子とTi粒子は、プラズマ生成室より放出されたECRプラズマ、及び、放出されたECRプラズマにより活性化した酸素ガスと共に、加熱されている接地電極103の表面に到達し、活性化された酸素により酸化される。なお、反応ガスとしての酸素（O₂）ガスは、以降にも説明するようにArガスとは個別に導入され、例えば、例えば流量1sccmで導入されている。焼結体ターゲットは酸素を含んでいるが、酸素を供給することにより堆積している膜中の酸素不足を防ぐことができる。以上に説明したECRスパッタ法による膜の形成で、例えば、膜厚40nm程度のスイッチ層104が形成された状態が得られる（図5（c））。

【0067】

なお、形成したスイッチ層104に、不活性ガスと反応性ガスのECRプラズマを照射し、膜質を改善するようにしてもよい。反応性ガスとしては、酸素ガスに限らず、窒素ガス、フッ素ガス、水素ガスを用いることができる。また、この膜質の改善は、絶縁層102の形成にも適用可能である。また、基板温度を300℃以下のより低い温度条件としてスイッチ層104を形成した後に、酸素雰囲気中などの適当なガス雰囲気中で、形成したスイッチ層104をアニール（加熱処理）し、膜質の特性を大きく改善するようにしてもよい。

【0068】

以上のようにしてスイッチ層104を形成した後、まず、ECRスパッタ法により、膜厚20nm程度のTi膜が形成された状態とする。次に、再度、ターゲットとして純ルテニウム（Ru）を用いた前述同様のECRスパッタ法により、膜厚10nm程度のルテニウム膜が形成された状態とすることで、図5（d）に示すように、スイッチ層104の上に、積層構造のビット電極105が形成された状態とする。ルテニウム膜の形成は、前述した接地電極103の形成と同様である。次に、BiとTiの割合が4：3の酸化物焼結体（Bi—Ti—O）からなるターゲットを用い、プラズマガスとしてアルゴン（Ar）と酸素ガスとを用いたECRスパッタ法により、図5（e）に示すように、ビット電極105の上に、表面を覆う程度に、メモリ層106が形成された状態とする。メモリ層106の形成は、前述したスイッチ層104の形成と同様である。

【0069】

以上のよりにして、メモリ層１０６が形成された後、メモリ層１０６の上に、Ａｕがなるワード電極１０７が形成された状態とすることで、図１に示すメモリ素子が得られる。ワード電極１０７は、抵抗加熱真空蒸着法による金の堆積とにより形成できる。なお、ワード電極１０７は、例えば、Ｒｕ、Ｐｔ、ＴｉＮなどの他の金属材料や導電性材料を用いるようにしてもよい。なお、Ｐｔを用いた場合、密着性が悪く剥離する可能性があるので、Ｔｉ－Ｐｔ－Ａｕなどの剥離し難い構造とする必要がある。なお、スイッチ層１０４、ビット電極１０５、メモリ層１０６、ワード電極１０７は、これらの積層構造が形成された後、よく知られたフォトリソグラフィ技術とエッチング技術とによりパターンニングすることで、メモリセルの構造に形成すればよい。

【００７０】

以上に説明したＥＣＲスパッタによる各層の形成は、図６に示すようなＥＣＲスパッタ装置を用いればよい。図６に示すＥＣＲスパッタ装置について説明すると、まず、処理室２０１とこれに連通するプラズマ生成室２０２とを備えている。処理室２０１は、図示していない真空排気装置に連通し、真空排気装置によりプラズマ生成室２０２とともに内部が真空排気される。処理室２０１には、膜形成対象の基板１０１が固定される基板ホルダ２０４が設けられている。基板ホルダ２０４は、図示しない傾斜回転機構により所望の角度に傾斜し、かつ回転可能とされている。基板ホルダ２０４を傾斜して回転させることで、堆積させる材料による膜の面内均一性と段差被覆性とを向上させることが可能となる。

【００７１】

また、処理室２０１内のプラズマ生成室２０２からのプラズマが導入される開口領域において、開口領域を取り巻くようにリング状のターゲット２０５が備えられている。ターゲット２０５は、絶縁体からなる容器２０５ａ内に載置され、内側の面が処理室２０１内に露出している。また、ターゲット２０５には、マッチングユニット２２１を介して高周波電源２２２が接続され、例えば、１３．５６ＭＨｚの高周波が印加可能とされている。ターゲット２０５が導電性材料の場合、直流の負電圧を印加するようにしても良い。なお、ターゲット２０５は、上面から見た状態で、円形状だけでなく、多角形状態であっても良い。

【００７２】

プラズマ生成室２０２は、真空導波管２０６に連通し、真空導波管２０６は、石英窓２０７を介して導波管２０８に接続されている。導波管２０８は、図示していないマイクロ波発生部に連通している。また、プラズマ生成室２０２の周囲及びプラズマ生成室２０２の上部には、磁気コイル（磁場形成手段）２１０が備えられている。これら、マイクロ波発生部、導波管２０８、石英窓２０７、真空導波管２０６により、マイクロ波供給手段が構成されている。なお、導波管２０８の途中に、モード変換器を設けるようにする構成もある。

【００７３】

図６のＥＣＲスパッタ装置の動作例について説明すると、まず、処理室２０１及びプラズマ生成室２０２内を 10^{-5} Paから 10^{-4} Paに真空排気した後、不活性ガス導入部２１１より不活性ガスであるアルゴンガスを導入し、また、反応性ガス導入部２１２より酸素ガスなどの反応性ガスを導入し、プラズマ生成室２０２内を例えば 10^{-3} ～ 10^{-2} Pa程度の圧力にする。この状態で、磁気コイル２１０よりプラズマ生成室２０２内に０．０８７２Ｔの磁場を発生させた後、導波管２０８、石英窓２０７を介してプラズマ生成室２０２内に２．４５ＧＨｚのマイクロ波を導入し、電子サイクロトロン共鳴（ＥＣＲ）プラズマを発生させる。

【００７４】

ＥＣＲプラズマは、磁気コイル２１０からの発散磁場により、基板ホルダ２０４の方向にプラズマ流を形成する。生成されたＥＣＲプラズマのうち、電子は磁気コイル２１０で形成される発散磁場によりターゲット２０５の中を貫通して基板１０１の側に引き出され、基板１０１の表面に照射される。このとき同時に、ＥＣＲプラズマ中のプラスイオンが、電子による負電荷を中和するように、すなわち、電界を弱めるように基板１０１側に引

と山とれ、成膜している層の表面に照射される。このように基板が照射される間に、プラズマの一部は電子と結合して中性粒子となる。

【0075】

なお、図6の薄膜形成装置では、図示していないマイクロ波発生部より供給されたマイクロ波電力を、導波管208において一旦分岐し、プラズマ生成室202上部の真空導波管206に、プラズマ生成室202の側方から石英窓207を介して結合させている。このようにすることで、石英窓207に対するターゲット205からの飛散粒子の付着が、防げるようになり、ランニングタイムを大幅に改善できるようになる。

【0076】

次に、ECRスパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の特性について、より詳細に説明する。発明者らは、ECRスパッタ法を用いた $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の形成について注意深く観察を繰り返すことで、温度と導入する酸素流量によって、形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の組成が制御できることを見いだした。なお、このスパッタ成膜では、ビスマスとチタンが4:3の組成を持つように形成された酸化物焼結体ターゲット($\text{Bi}_4\text{Ti}_3\text{O}_x$)を用いている。図7は、ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。また、図7は、基板に単結晶シリコンを用い、基板温度を420℃とした条件の結果である。

【0077】

図7より、酸素流量が0~0.5sccmと小さいとき、酸素流量が0.5~0.8sccmの時、酸素流量が0.8sccm以降の時の領域に分かれることがわかる。この特性について、高周波誘導結合プラズマ発光(ICP)分析と透過型電子顕微鏡の断面観察を実施し、成膜された膜を詳細に調べた。調査の結果、酸素流量が0~0.5sccmと小さい時には、ターゲット205に $\text{Bi}-\text{Ti}-\text{O}$ の焼結ターゲットを使用しているのにも拘わらず、 Bi がほとんど含まれない $\text{Ti}-\text{O}$ が主成分の結晶膜が形成されていることが判明した。この酸素領域を酸素領域Aとする。

【0078】

また、酸素流量が0.8~3sccm程度の場合は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成の微結晶又は柱状結晶で成膜していることが判明した。この酸素領域を酸素領域Cとする。さらに、酸素流量が3sccm以上の場合には、 Bi の割合が多い膜となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成からずれてしまうことが判明した。この酸素領域を酸素領域Dとする。さらにまた、酸素流量が0.5~0.8sccmの場合は、酸素領域Aの膜と酸素領域Cの中間的な成膜となることが判明した。この酸素領域を酸素領域Bとする。

【0079】

これらの供給する酸素に対して、4つの領域に分かれて、組成変化することは今まで知られておらず、ECRスパッタ法で $\text{Bi}-\text{Ti}-\text{O}$ の焼結ターゲットを用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の特徴的な成膜特性であるといえる。この領域を把握した上で、成膜を制御することで所望の組成と膜質の膜が得られることになる。さらに別の厳密な測定結果より、得られた膜が強誘電性を明らかに示す成膜条件は、化学量論的組成が実現できている酸素領域Cであることが判明した。

【0080】

次に、図7中の酸素領域A内の α 、酸素領域B内の β 、酸素領域C内の γ の酸素流量条件で作製したビスマスチタン酸化物薄膜の状態について、図8を用いて説明する。図8は、作製した薄膜(ビスマスとチタンと酸素とを含む)の断面を透過型電子顕微鏡で観察した結果を示している。図8において、(a)、(b)、(c)、(d)は、顕微鏡写真であり、(a')、(b')、(c')、(d')は、各々の状態を模式的に示した模式図である。まず、酸素流量を0とした条件 α では、図8(a)及び図8(a')に示すように、膜全体が柱状結晶から構成されている。条件 α で作製した薄膜の元素の組成状態をEDS(エネルギー分散形X線分光)法で分析すると、ビスマスが含まれていなく、この膜は、酸化チタンであることがわかる。

【0081】

次に、酸素流量を1 sccmとした条件では、図8(c)及び図8(c')に示すように、作製した薄膜は2層に分離しており、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む金属酸化物単一層144と、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む基部層141とから構成され、基部層141の中に $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶からなる粒径3~15 nm程度の複数の微結晶粒142が分散している状態が確認される。基部層141は、非晶質の状態となっている。

【0082】

次に、酸素流量を1 sccmとした条件では、図8(c)及び図8(c')に示すように、基部層141の中に微結晶粒142が分散している状態が確認される。ただし、基部層141及び金属酸化物単一層144は、ともにほぼピスマスが存在していない状態となっている。図8(c)に示す顕微鏡写真の状態は、図1(b)に示した状態と同等である。以上に示した状態は、成膜時の温度条件が420℃である。なお、図8(d)及び図8(d')は、酸素流量を1 sccmとした条件で作製した膜の観察結果であるが、以降に説明するように、膜形成時の温度条件が異なる。

【0083】

ECRスパッタ法により形成される $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜の特徴は、成膜温度にも関係する。図9は、基板温度に対する成膜速度と屈折率の変化を示したものである。図9には、図7に示した酸素領域Aと酸素領域Cと酸素領域Dに相当する酸素流量の成膜速度と屈折率の変化が示してある。図9に示すように、成膜速度と屈折率が、温度に対してともに変化することがわかる。

【0084】

まず、屈折率に注目すると、酸素領域A、酸素領域C、酸素領域Dのいずれの領域に関して同様の振る舞いを示すことがわかる。具体的には、約250℃程度までの低温領域では、屈折率は約2と小さくアモルファス的な特性を示している。300℃から600℃での中間的な温度領域では、屈折率は、約2.6と論文などで報告されているバルクに近い値となり、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶化が進んでいることがわかる。これらの数値に関しては、例えば、山口らのジャパニーズ・ジャーナル・アブライド・フィジクス、第37号、5166頁、1998年、(Jpn. J. Appl. Phys., 37, 5166(1998).)などを参考にさせていただきたい。

【0085】

しかし、約600℃を超える温度領域では、屈折率が大きくなり表面モフォロジ(表面凹凸)が大きくなってしまい結晶性が変化しているものと思われる。この温度は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ のキュリー温度である675℃よりも低いが、成膜している基板表面にECRプラズマが照射されることでエネルギーが供給され、基板温度が上昇して酸素欠損などの結晶性の悪化が発生しているとすれば、上述した結果に矛盾はないものとする。成膜速度の温度依存性についてみると、各酸素領域は、同じ傾向の振る舞いを示すことがわかる。具体的には、約200℃までは、温度と共に成膜速度が上昇する。しかし、約200℃から300℃の領域で、急激に成膜速度が低下する。

【0086】

約300℃に達すると成膜速度は600℃まで一定となる。この時の各酸素領域における成膜速度は、酸素領域Aが約1.5 nm/min、酸素領域Cが約3 nm/min、酸素領域Dが約2.5 nm/minであった。以上の結果から、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶膜の成膜に適した温度は、屈折率がバルクに近くなり、成膜速度が一定となる領域であり、上述の結果からは、300℃から600℃の温度領域となる。

【0087】

上述した成膜時の温度条件により、金属酸化物層の状態は変化し、図8(c)に示した状態となる酸素流量条件で、成膜温度条件を450℃と高くすると、図8(d)及び図8(d')に示すように、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の柱状結晶からなる寸法(グレインサイズ)20~40 nm程度の複数の柱状結晶部143の中に、寸法が3~15 nm程度の微結晶粒142が観察されるようになる。この状態では、柱状結晶部143が、図8(c)及び図8

(c) に示す基層 141 に対応している。なお、図 6 に示すこれらの膜においても、XRD (X線回折法) 測定では、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の (117) 軸のピークが観測される。また、前述した透過型電子顕微鏡の観察において、微結晶粒 142 に対する電子線回折により、微結晶粒 142 は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の (117) 面を持つことが確認されている。

【0088】

一般に、強誘電性を示す材料では、キュリー温度以上では結晶性が保てなくなり、強誘電性が発現されなくなる。例えば、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ などの Bi と Ti と酸素とから構成される強誘電材料では、キュリー温度が 675°C 付近である。このため、 600°C に近い温度以上になると、ECR プラズマから与えられるエネルギーも加算され、酸素欠損などが起こりやすくなるため、結晶性が悪化し、強誘電性が発現され難くなるものと考えられる。

【0089】

また、X線回折による解析により、上記の温度領域で、酸素流量 C で成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、(117) 配向した膜であることが判明した。このような条件で成膜した $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜は、 100 nm 程度の厚さにすると 2 MV/cm を超える十分な電気耐圧性を示すことが確認された。以上に説明したように、ECR スパッタを用い、図 7 や図 9 で示される範囲内で $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 膜を形成することにより、膜の組成と特性を制御することが可能となる。

【0090】

ところで、スイッチ層 104 は、図 10 に示す状態も観察されている。図 10 に示すスイッチ層 104 は、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の化学量論的組成に比較して過剰なチタンを含む金属酸化物単一層 144 と、複数の微結晶粒 142 が分散している基層 141 との積層構造である。図 10 に示す状態も、図 1 (b) 及び図 8 に示す状態と同様に、透過型電子顕微鏡の観察により確認されている。上述した各金属酸化物層の状態は、形成される下層の状態や、成膜温度、成膜時の酸素流量により変化し、例えば、金属材料からなる下地の上では、酸素流量が図 9 に示す β 条件の場合、図 8 (b) もしくは図 10 に示す状態となることが確認されている。

【0091】

上述したように、微結晶粒が観察される成膜条件の範囲において、基層が非晶質の状態の場合と柱状結晶が観察される場合とが存在するが、いずれにおいても、微結晶粒の状態には変化がなく、観察される微結晶粒は、寸法が $3 \sim 15\text{ nm}$ 程度となっている。このように、微結晶粒が観察される状態の金属酸化物層において、前述したように、低抵抗状態と高抵抗状態の 2 つの安定状態が存在し、図 8 (a) 及び図 8 (a') に示す状態の薄膜では、上記 2 つの安定状態が得られない。

【0092】

従って、図 1 (b) 及び図 8 (b) ~ 図 8 (d')、及び図 10 に示す状態となっているスイッチ層 104 によれば、図 2 を用いて説明したように、メモリ素子などの 2 つの状態が保持されるメモリ素子を実現することが可能となる。この特性は、上述した ECR スパッタにより膜を形成する場合、図 7 の酸素領域 B、C の条件で形成した膜に得られていることになる。また、図 9 に示した成膜温度条件に着目すると、上記特性は、成膜速度が低下して安定し、かつ屈折率が上昇して 2.6 程度に安定する範囲の温度条件で、上述した特性の薄膜が形成できる。

【0093】

上述では、ビスマスとチタンとの 2 元金属からなる酸化物を例に説明したが、2 つの状態が保持されるようになる特性は、少なくとも 2 つの金属と酸素とから構成されている他のスイッチ層 104 においても得られるものと考えられる。少なくとも 2 つの金属と酸素とから構成され、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、図 2 を用いて説明した特性が発現するものと考えられる。

【0094】

例えば、 BaTiO_3 、 LiNbO_3 、 LiTaO_3 、 PbNb_3O_6 、 $\text{PbNaNb}_5\text{O}_{15}$ 、 $\text{Cd}_2\text{Nb}_2\text{O}_7$ 、 $\text{Pb}_2\text{Nb}_2\text{O}_7$ 、 $(\text{Bi}, \text{La})_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ などからスイッチ層104が構成されていても、いずれかの金属が化学量論的な組成に比較して少ない状態となっている層の中に、化学量論的な組成の複数の微結晶粒が分散している状態であれば、前述した実施例と同様の作用効果が得られるものと考えられる。また、例えばビスマスとチタンとの2元金属からなる酸化物の場合、スイッチ層104の中にランタン(La)やストロンチウム(ストロンチウム)が添加されている(La, Bi)TiOや(Sr, Bi)TiOのような状態とすることで、各抵抗値の状態を可変制御させることが可能となる。以上のことは、メモリ層106についても同様である。

【0095】

ところで、本実施の形態に係るメモリ素子の構成例は、図1に示した素子に限るものではない。例えば、図11(a)に例示するように、1つのメモリセル内で、基板101の平面方向に、スイッチ層114及びメモリ層116が配列されていてもよい。図11(a)に示すメモリ素子では、絶縁層102の上に接地電極113及びこれに離間して接続電極115bが配置され、接地電極113と接続電極115bとにまたがるように、スイッチ層114が形成され、接続電極115bに接してメモリ層116が形成されている。また、スイッチ層114の上にはビット電極115aが形成され、メモリ層116の上には、ワード電極117が形成されている。

【0096】

上述したように、まず、スイッチ層114の第1方向の面に接続された接続電極115bを新たに設け、メモリ層116の第1方向の面に接続電極115bが接続された状態とする。また、接地電極113は、スイッチ層114の第1方向の面に接続電極115bと絶縁分離されて接続された状態とする。また、ビット電極115aは、スイッチ層114の第1方向とは異なる第2方向の面に接続された状態とする。また、ワード電極117は、メモリ層116の第2方向の面に接続された状態とする。これらのように構成しても、図1に示した素子と同様に、接地電極113、スイッチ層114、メモリ層116、及びワード電極117が、これらの順に直列に接続された状態となる。従って、図11(a)の紙面上で、基板101の上において、各構成を上下反転させて配置させることも可能である。

【0097】

図11(a)に示すメモリ素子の動作例について説明すると、まず、読み出しでは、スイッチ層114が高抵抗の「オフ」状態とし、この初期状態で、接続電極115bが接地された状態とし、対応するメモリセルのビット電極115aに低抵抗遷移電圧(例えばパルス電圧)が印加された状態とし、スイッチ層114を「オン」状態とする。ついで、接続電極115bとビット電極115a(対応するビット線)がオープンにされた状態とし、ワード電極117(対応するワード線)に読み出し電圧が印加された状態とし、メモリ層116の抵抗値を測定すれば、データの読み出しとなる。最後に、接続電極115bが接地された状態とし、スイッチ層114が高抵抗状態となるような電気信号(例えばパルス電圧)が、ビット電極115aに印加された状態とし、スイッチ層114がスイッチとしてオフにされた状態とする。

【0098】

一方、図11(a)に示すメモリ素子の書き込み動作は、接続電極115bが接地された状態とし、書き込み対象のメモリセルに対応するワード線に書き込み電圧を印加すればよい。例えば、「1」の「書き込み状態」とするためには、ワード電極117に低抵抗遷移電圧が印加された状態とすればよい。また、「0」の「書き込み状態」とするためには、ワード電極117に逆うていこう遷移電圧が印加された状態とすればよい。

【0099】

また、本発明のメモリ素子は、図11(b)に示すように構成されていてもよい。図11(b)に示すメモリ素子では、絶縁層102の上にビット電極125aが配置され、ピ

ワード電極１２５aの上にヘリツア層１２４が形成されている。また、ヘリツア層１２４の上に、接地電極１２３及びこれに離間して接続電極１２５bが配置され、接続電極１２５bの上に、メモリ層１２６が形成されている。なお、メモリ層１２６の上には、ワード電極１２７が形成されている。

【０１００】

上述したように、まず、スイッチ層１２４の第１方向の面に接続された接続電極１２５bを新たに備え、メモリ層１２６の第１方向とは異なる第２方向の面に、接続電極１２５bが接続されているようにする。また、接地電極１２３は、スイッチ層１２４の第１方向の面に接続され、ビット電極１２５aは、スイッチ層１２４の第２方向の面に接続され、ワード電極１２７は、メモリ層１２６の第１方向の面に接続されているようにする。これらのように構成しても、図１に示した素子と同様に、接地電極１２３，スイッチ層１２４，メモリ層１２６，及びワード電極１２７が、これらの順に直列に接続された状態となる。従って、図１１（b）の紙面上で、基板１０１の上において、各構成を上下反転させて配置させることも可能である。

【０１０１】

また、本発明のメモリ素子は、図１２に示すように、電極と金属酸化物の層との間に、絶縁層が挟まれていてもよい。図１２（a）に例示するメモリ素子は、ビット電極１０５とメモリ層１０６との間に、絶縁層１０８を備える。また、図１２（b）に例示するメモリ素子は、接地電極１０３とスイッチ層１０４との間に、絶縁層１０９を備える。また、図１２（c）に例示するメモリ素子では、絶縁層１０８と絶縁層１０９の両方を備える。

【０１０２】

絶縁層１０８，絶縁層１０９により、メモリ層１０６，スイッチ層１０４に電圧を印加した時に、各層に印加される電圧が制御できるようになる。また、絶縁層が形成されている状態で、この上にスイッチ層１０４やメモリ層１０６を形成することで、前述したECRスパッタ法による形成で、下層の金属膜の表面や金属酸化物層の表面のモフォロジを劣化させることなく、スイッチ層１０４やメモリ層１０６が形成できるようになる。例えば、下層が金属材料などのように酸化される状態であると、スイッチ層１０４の形成で、下層の表面が部分的に酸化され、モフォロジが劣化する場合がある。これに対し、絶縁層を介在させることで、下層の表面のモフォロジがよい状態で、スイッチ層１０４が形成でき、より品質の高いスイッチ層１０４が得られる。

【０１０３】

また、図１３に示すように、絶縁層１１８，絶縁層１１９，絶縁層１２８，及び絶縁層１２９を備えるようにしてもよい。図１３（a）に示すメモリ素子では、接続電極１１５bとメモリ層１１６との間に、絶縁層１１８を備える。図１３（b）に示すメモリ素子では、スイッチ層１１４とビット電極１１５aとの間に、絶縁層１１９を備える。図１３（c）に示すメモリ素子では、接続電極１１５bとメモリ層１１６との間に、絶縁層１１８を備え、スイッチ層１１４とビット電極１１５aとの間に、絶縁層１１９を備える。また、図１３（d）に示すメモリ素子では、スイッチ層１２４と接続電極１２５bとの間に絶縁層１２８を備える。図１３（e）に示すメモリ素子では、ビット電極１２５aとスイッチ層１２４との間に、絶縁層１２９を備える。図１３（f）に示すメモリ素子では、スイッチ層１２４と接続電極１２５bとの間に絶縁層１２８を備え、ビット電極１２５aとスイッチ層１２４との間に、絶縁層１２９を備える。

【０１０４】

なお、図１２及び図１３は絶縁層を設ける形態の一例を示したものであり、これに限るものではない。上述した絶縁層は、スイッチ層及びメモリ層に接して設けられていればよい。従って、スイッチ層及びメモリ層の一方の面に絶縁層が接して設けられていてもよく、スイッチ層及びメモリ層の両方の面に、各々絶縁層が接して設けられていてもよい。スイッチ層及びメモリ層を構成している金属酸化物層と、これに接続する電極とのいずれかの間に絶縁層が設けられているようにすればよい。

【０１０５】

このように、ヘリウム層104、メモリ層106を構成する金属酸化物層は、膜厚が厚くなるほど電流が流れ難くなり抵抗が大きくなる。抵抗値の変化を利用してメモリ素子を実現する場合、低抵抗状態と高抵抗状態の各々の抵抗値が問題となる。例えば、金属酸化物層の膜厚が厚くなると、低抵抗状態の抵抗値が大きくなり、S/N比がとり難くなり、ON、OFFの各状態を判断し難くなる。一方、金属酸化物層の膜厚が薄くなり、リーク電流が支配的になると、ON、OFFの各状態の保持し難くなると共に、高抵抗状態の抵抗値が小さくなり、S/N比がとり難くなる。

【0106】

従って、金属酸化物層は、適宜最適な厚さとした方がよい。例えば、リーク電流の問題を考慮すれば、金属酸化物層は、最低10nmの膜厚があればよい。また、低抵抗状態における抵抗値を考慮すれば、金属酸化物層は300nmより薄くした方がよい。発明者らの実験の結果、金属酸化物層の厚さが30～200nmであれば、メモリ素子の動作が確認されている。

【0107】

また、図1に示すメモリ素子によれば、多値の動作も可能である。例えば、ビット電極105（とワード電極107との間）に電圧を印加したときのメモリ層106における電流－電圧特性は、図14に示すように、印加する電圧を変化させると、異なる低抵抗状態に変化する。図14では、－0.5Vまで印加した後の低抵抗状態と、－1.0Vまで印加した後の低抵抗状態と、－1.5Vまで印加した後の低抵抗状態との、図中に示す読み出し電圧における電流値が異なる。これらの状態は、電極間に読み出し電圧を印加し、電極間に流れる電流を観測することにより読み出すことができる。一定の読み出し電圧により得られた電極間電流に対応し、「0」、「1」、「2」の3つの状態（3値）の動作が実現できる。

【0108】

また、図1に示す素子によれば、パルス電圧の値の違いにより、多値の状態を実現することが可能である。図15に示すように、所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、三角で示す時点で0.2Vの読み出し電圧で電極間の電流値を読み出すと、図16に示すように、「0」、「1」、「2」の3つの状態（3値）が得られる。この例では、「2」の状態によりリセットがされていることになる。

【0109】

また、例えば、図12(a)に例示したように、ビット電極105とメモリ層106との間に絶縁層108を設ける場合の電流－電圧特性は、図17に示すように、ビット電極105に印加する電圧を変化させることで、メモリ層106は異なる低抵抗状態に変化する。なお、各状態に遷移させる前には、所定の高抵抗遷移電圧を印加して高抵抗状態に戻している（リセット）。この場合、例えば、読み出し電圧を0.5V程度とすることで、3値の状態が実現できる。

【0110】

次に、スイッチ層104やメモリ層106を構成する金属酸化物層について考察する。一般に、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の結晶は、擬ペロブスカイト構造を含むピスマス積層構造の強誘電体であるが、膜厚を40nm以下と薄層化した場合、リーク電流が多く流れるようになるために明確な強誘電性が観測されないことが知られている。 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ から構成された図1(b)に例示する構成のスイッチ層104においても、膜厚が40nm以下になると電流が多く流れるようになり（測定値）、明確な強誘電性が観測されない。これに対し膜厚が40nmを超えて厚くなると、成膜直後の状態では、スイッチ層104に流れる電流（測定値）が小さくなり、僅かに強誘電性が観測されるようになる。

【0111】

スイッチ層104は、強誘電性が示されて電流（測定値）が小さい場合には、一般的な強誘電体と同様に、図18(a)に示すような電流電圧特性を示す。なお、明確な強誘電性を確認できない場合においても、この特性を示すものもある。図18(a)に示す一般的な強誘電体の状態を説明すると、まず、0Vで0Aの初期状態から、正の直流電圧を印

加していくと、正の電流が流れ始める。流れる電流値は、はじめは徐々に増加していくが、+4 V以上の電圧を印加すると電流値が大きくなり、+5.3 Vで+2.5 nAの電流値が流れるようになる。

【0112】

この状態から、印加している電圧を順次小さくしていくと、初期値からの電流電圧特性とは異なり、電流が流れない傾向の特性をとるようになる。これは、電圧を小さくするように掃引しているため、キャパシタ間に蓄えられている電荷量が時間とともに減少し、これが負の変位電流として現れるからである。従って、ここで観測されているリーク電流は、実際に膜中を流れているリーク電流に、上述した変位電流が重ね合わさった値に等しい。例えば、電圧を低下させる場合、+4 Vにまで低下すると、電圧を上昇させている場合(+1 nA)とは異なり、+0.1 nA程度しか流れなくなる。しかも、印加する電圧を0 Vに低下させると、-0.5 nAの電流が流れるようになる。

【0113】

さらに、負の電圧を印加していくと、例えば、-4 Vで-2.3 nA程度、-5.3 Vで-2.8 nA程度の負の電流が流れる。この状態から負の電圧を0に近づけていくように、電圧を正の方向に掃引して行くと、今度は先と反対の変位電流が流れるようになる。実際に膜中を通過しているリーク電流に加え、上述した正の変位電流がリーク電流として観測されるため、電圧を負の方向に掃引してきた場合と異なる電流電圧特性を示す。例えば、-4 Vで-0.5 nA程度しか流れず、印加する電圧を0 Vにしても、+1 nAの正電流が流れるようになる。

【0114】

以上に説明したように、リーク電流が小さい場合には、変位電流の振る舞いが支配的になるため、電圧を掃引する方向（電圧の増加、減少）の違いによる、電流電圧特性の変化が顕著に観測される。しかしながら、このような現象は、キャパシタ間の電圧の時間変化に伴う電荷量の時間変化が、掃引の方向により正負の異なる変位電流として現れることが原因で生じているため、電圧の掃引速度を遅くしていくと消失していく現象である。例えば、先と同様の素子において異なる掃引速度で電流電圧を測定すると、図18(b)に示すように、特性に変化が現れる。図18(b)から明らかなように、掃引速度が遅い方が、掃引方向の違いによる電流電圧特性の変化が小さい。また、掃引速度をさらに遅くして準静的な掃引をすれば、掃引方向にかかわらず、電流電圧特性は同じになり、実際に膜中を通過するリーク電流の特性のみが観測されるようになる。

【0115】

従って、図18(a)に示した電流電圧特性のヒステリシスに似た現象は、電圧の掃引により正負の異なる変位電流が、実際に膜中を流れるリーク電流に重ね合わさったために観測されているだけである。これは、素子の抵抗変化（実際の膜中を流れるリーク電流値の変化）とは全く関係なく起こる現象であり、一般の強誘電体を含む誘電体キャパシタで観測され得る現象である。また、当然ながら、このような電流特性の変化をメモリ動作として利用することは、原理的に不可能である。

【0116】

また、一般的に耐圧が高い絶縁膜や強誘電体膜においては、5 Vを超える高い電圧を印加することで、膜が絶縁破壊することにも知られている。例えば、耐圧が高い強誘電体からなる例えば膜厚200 nm以上の強誘電体薄膜に、高い電圧を印加した場合について以下に示す。図19に示すように、+15 Vまで印加しても、 10^{-9} A程度の微少な電流しか流れないが、これ以上の電圧を印加すると急激に電流が流れるようになり、薄膜自体が破損する絶縁破壊（ブレイクダウン）を引き起こす。このように絶縁破壊した薄膜は、これ以降常に大きな電流が流れる状態となり、2つ以上の抵抗値を持つ状態は得られない。

【0117】

以上に説明した強誘電体における特性に対し、図1(b)、図8、及び図10に例示したように、「 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 」の化学量論的組成に比較して過剰なチタンを含む層からなる基部層の中に、粒径3~15 nm程度の複数の $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ の微結晶粒が分散している

金属酸化物層」は、膜厚が厚く電気的な耐圧が高い状態では、図20に示すような電流電圧特性を示す。まず、図7を用いて説明したように、ECRスパッタ法によりスイッチ層104やメモリ層106を形成してメモリ素子を形成した初期の段階では、+14Vまで電圧を印加しても、 10^{-9} A程度の微小な電流しか流れない高い電気耐圧を示す状態となっている。

【0118】

さらに、+15V以上の電圧を印加すると、図19に示した特性と同様に、急激に電流が流れるようになる。しかしながら、スイッチ層104やメモリ層106では、高電圧を印加して電流が流れる状態となった後に負の電圧を印加すると、 -10^{-2} A程度の電流が流れるが、印加する負の電圧を-2V程度とすると、急に電流が流れない高抵抗の状態となる。この後、この状態から正の電圧を印加しても、高抵抗状態を保持したままの電流電圧特性となるが、+2.5V程度で急激に電流値が大きくなり、再び低抵抗状態に戻る。なお、図20は、これらの抵抗変化の状態を示す特性図である。

【0119】

以上に説明したように、スイッチ層104及びメモリ層106は、40nm程度以上の膜厚においては、電気耐圧の大きい成膜初期状態において、+15V程度の高い電圧を印加することで、図2に示すような、特徴的な電流電圧特性が発現されるようになる。このように、成膜初期状態から抵抗変化特性を示す状態に変化させる初期処理を、電氣的初期化(Electrical Orientation: EO)処理と呼ぶこととする。本実施の形態のスイッチ層104及びメモリ層106は、膜厚が厚く電氣的な耐圧が高い状態で成膜した状態では、EO処理をすることで、前述した各特性を示すようになり、メモリ素子などを実現することが可能となる。

【0120】

上述したEO処理は、10Vを超える電圧を素子に印加することになるため、例えば、半導体素子と集積して図1に示すメモリ素子を形成している状態でEO処理をする場合、半導体素子を破壊する場合がある。これを抑制するために、ECRプラズマを用いてEO処理を行うようにしてもよい。例えば、ECRプラズマ装置では、発散磁界によりプラズマ流を生成し、20~30eVのエネルギーを持つプラズマ流を処理対象の基板に照射させることができる。プラズマ流中のエネルギー分布は、プラズマ流の発散方向に垂直な断面では、磁界の分布を反映して中心から周辺に向かって分布を持っている。

【0121】

このエネルギー分布は、発散磁界の発散度により数eVから数10eVの間で制御可能であり、中心と周辺との間で数ボルトから数十Vの電位差を発生させることができる。従って、図1に示すメモリ素子において、例えば、接地電極103に接続する配線の一端をプラズマ流の周辺部に晒し、ワード電極107がプラズマ流中の中央部に晒され、ビット電極105はプラズマ流中で上述した2つの電極間で晒される状態とすれば、プラズマ流中の分布から発生する電位差で、メモリ層106とスイッチ層104との両方がEO処理されるような電圧を、上述した3つの電極に印加することが可能となる。例えば、Arを主成分とするプラズマを発生させて素子に照射することで、1秒から数十秒という短い時間でEO処理をすることが可能である。

【0122】

また、上述したようにプラズマを利用することで、図21に模式的に示すように、複数のメモリ素子に対して、同時にEO処理をすることも可能である。図21では、複数のメモリ素子が配列して集積された装置に対し、ECRプラズマ流を照射することで、EO処理を行う状態を示している。ECRプラズマ流の分布から発生する電位差を、複数個の素子のEO処理に必要な電位差を超える値に制御することで、装置に集積されている複数の素子に対してEO処理をすることが可能となる。

【0123】

また、上述した各メモリ素子において、スイッチ層(第1金属酸化物層)とした層をメモリ層(第1金属酸化物層)としてデータの保持のために用い、メモリ層(第2金属酸化物層)とした層をスイッチ層(第2金属酸化物層)としてメモリセル選択のスイッチのた

めに用いるようにしてもよい。いずれの場合においても、メモリセル選択のベイスラップのために用いる層に接地電極が設けられていればよい。

【図面の簡単な説明】

【0124】

【図1】本発明の実施の形態におけるメモリ素子の構成例を概略的に示す模式的な断面図（a）及び部分断面図（b）である。

【図2】ビット電極105に印加する電圧（電圧）をゼロから負の方向に減少させた後にゼロに戻し、さらに正の方向に増加させ、最後に再びゼロに戻したときにメモリ層106を流れる電流値が描くヒステリシスの状態を示す特性図である。

【図3】読み出し及び書き込みの動作を示すタイミングチャートである。

【図4】図1に示したメモリ素子におけるON及びOFFの各状態保持特性について示す特性図である。

【図5】図1に示したメモリ素子の製造方法例について説明する工程図である。

【図6】ECRスパッタ装置の構成例を模式的な断面で示す構成図である。

【図7】ECRスパッタ法を用いて $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ を成膜した場合の、導入した酸素流量に対する成膜速度の変化を示した特性図である。

【図8】作製したビスマスとチタンと酸素とを含む薄膜の断面を透過型電子顕微鏡で観察した結果を示す顕微鏡写真と説明図である。

【図9】基板温度に対する成膜速度と屈折率の変化を示した特性図である。

【図10】作製したビスマスとチタンと酸素とを含む薄膜の断面を透過型電子顕微鏡で観察した結果を示す説明図である。

【図11】本発明の実施の形態におけるメモリ素子の他の構成例を概略的に示す模式的な断面図である。

【図12】本発明の実施の形態におけるメモリ素子の他の構成例を概略的に示す模式的な断面図である。

【図13】本発明の実施の形態におけるメモリ素子の他の構成例を概略的に示す模式的な断面図である。

【図14】ビット電極105に直流の電圧を印加したときのメモリ層106における電流－電圧特性を示す特性図である。

【図15】図1に示すメモリ素子に印加する所定のパルス幅の所定のパルス電圧の状態を説明する説明図である。

【図16】所定のパルス幅の所定のパルス電圧を所定回数印加する毎に、電極間より読み出された電流値の変化を示す特性図である。

【図17】電極と金属酸化物層との間に絶縁層を設ける場合の、直流の電圧を印加したときの電流－電圧特性を示す特性図である。

【図18】一般的な強誘電体における電流電圧特性を示す特性図である。

【図19】強誘電体における絶縁破壊（ブレイクダウン）の状態を示す説明図である。

【図20】膜厚40nm程度のメモリ層106（スイッチ層104）における電流電圧特性について説明するための特性図である。

【図21】複数の素子に対してECRプラズマを照射してEO処理をする状態を説明するための説明図である。

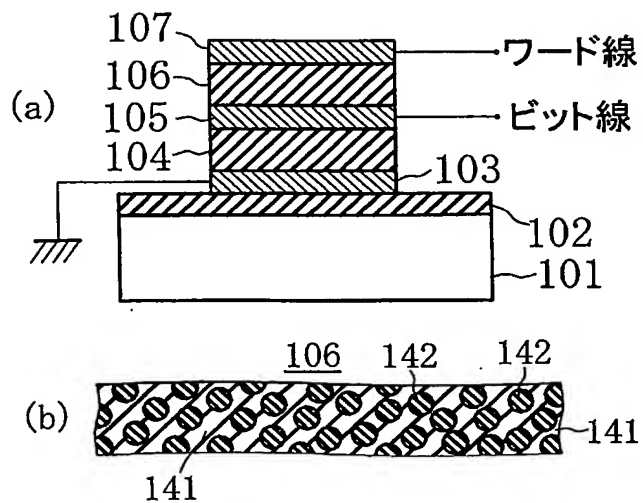
【図22】従来よりある素子の構成例を示す模式的な断面図である。

【符号の説明】

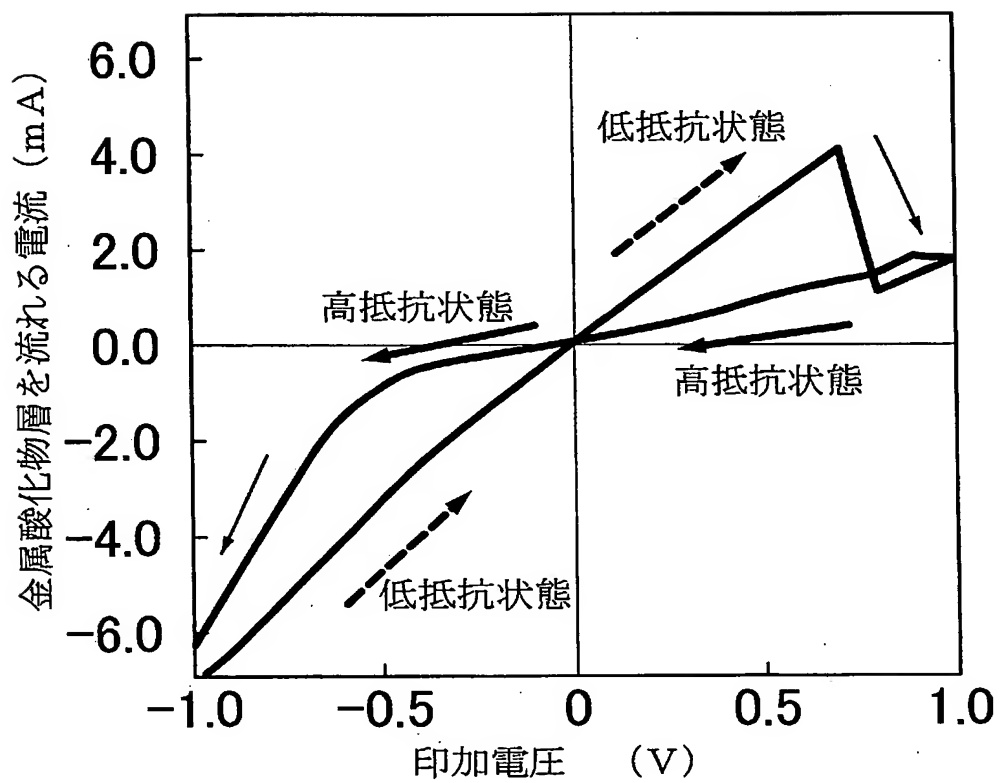
【0125】

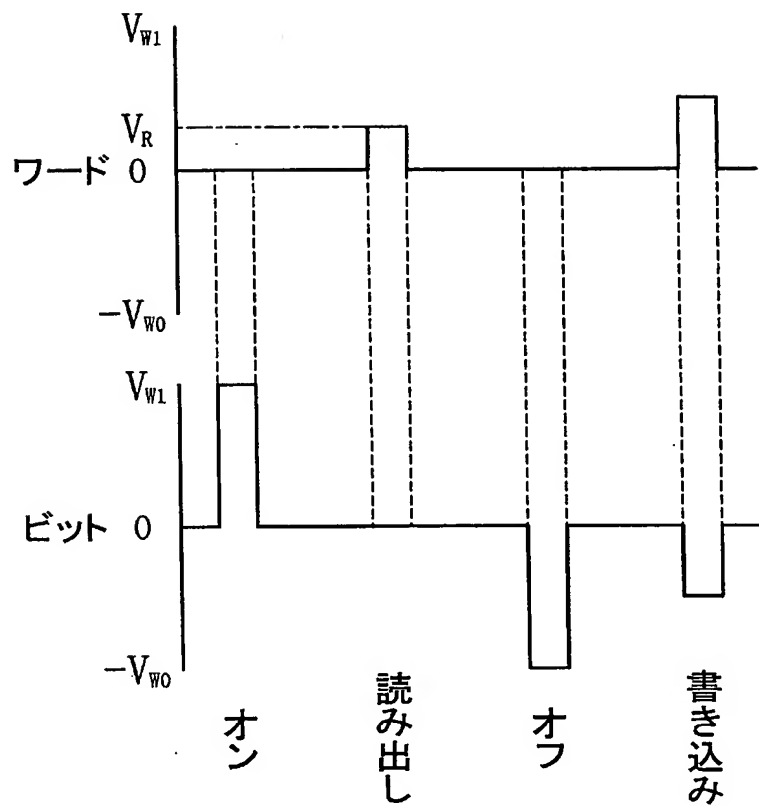
101…基板、102…絶縁層、103…接地電極（第1電極）、104…スイッチ層（第1金属酸化物層）、105…ビット電極（第2電極）、106…メモリ層（第2金属酸化物層）、107…ワード電極（第3電極）、141…基部層、142…微結晶粒、143…柱状結晶部。

【図 1】

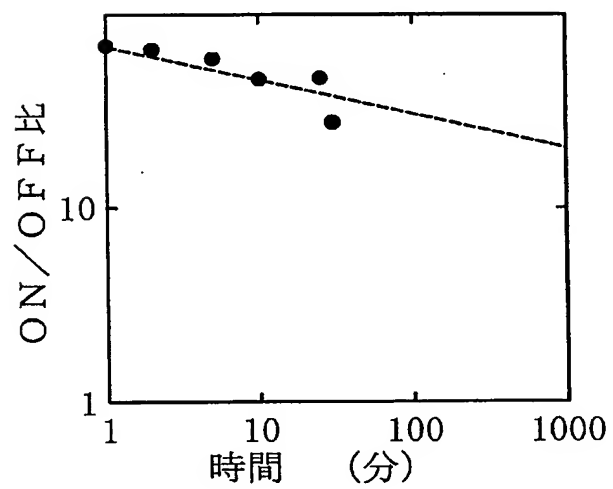


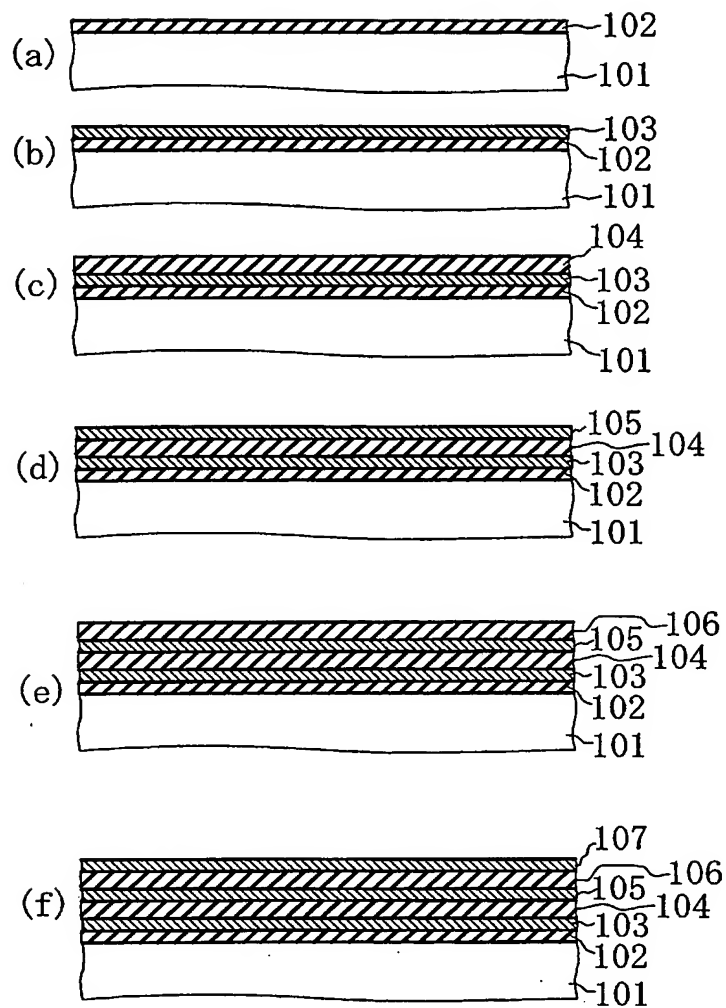
【図 2】

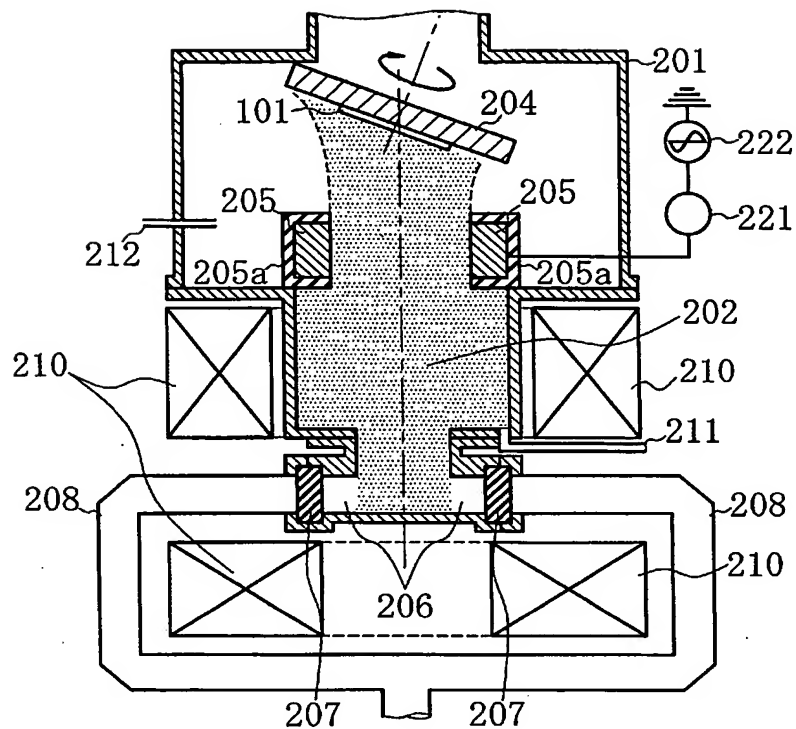




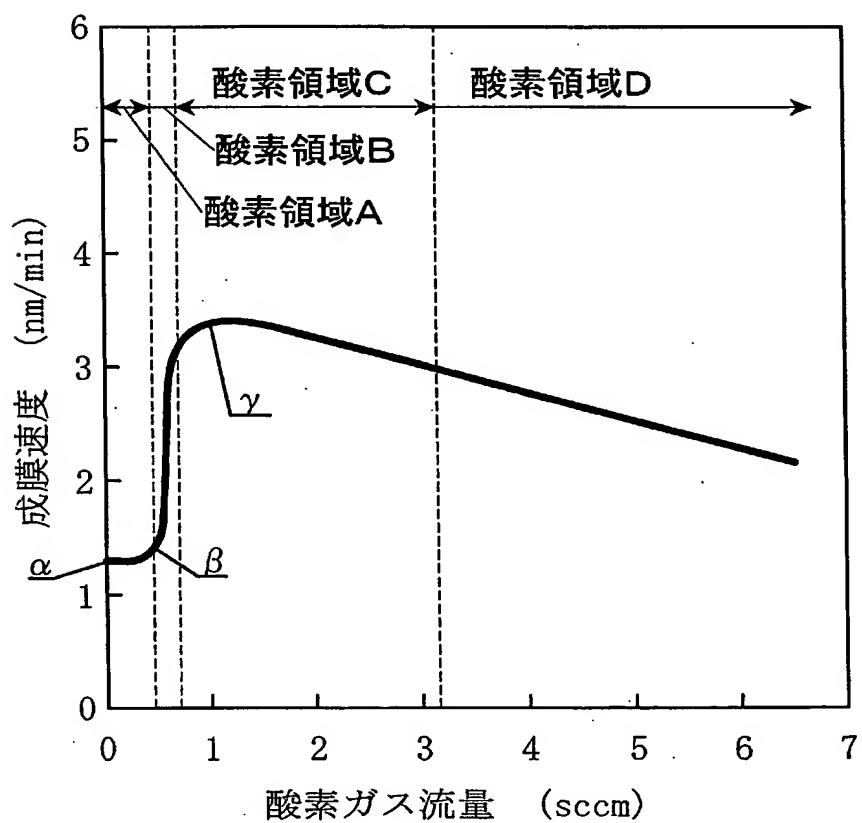
【図 4】





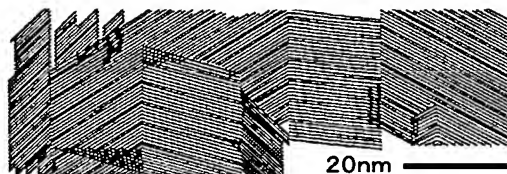


【図 7】

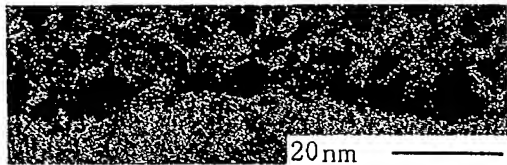




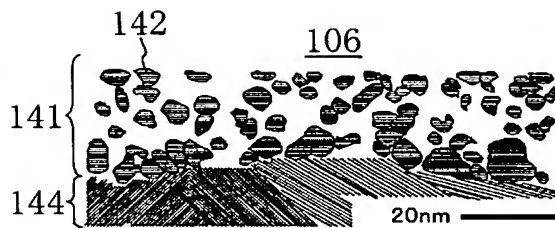
(a)



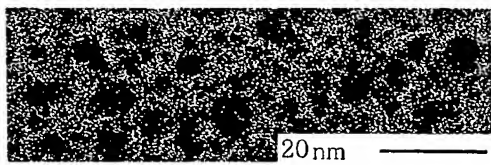
(a')



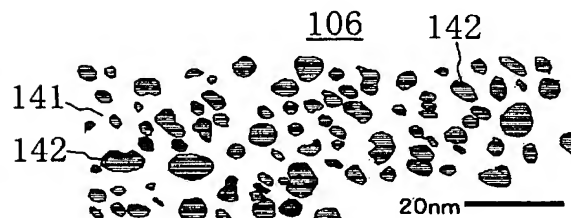
(b)



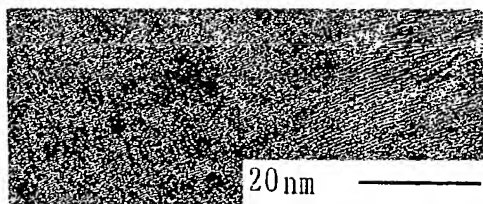
(b')



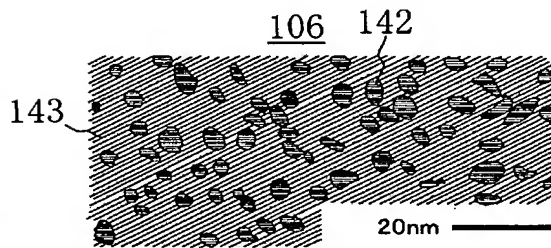
(c)



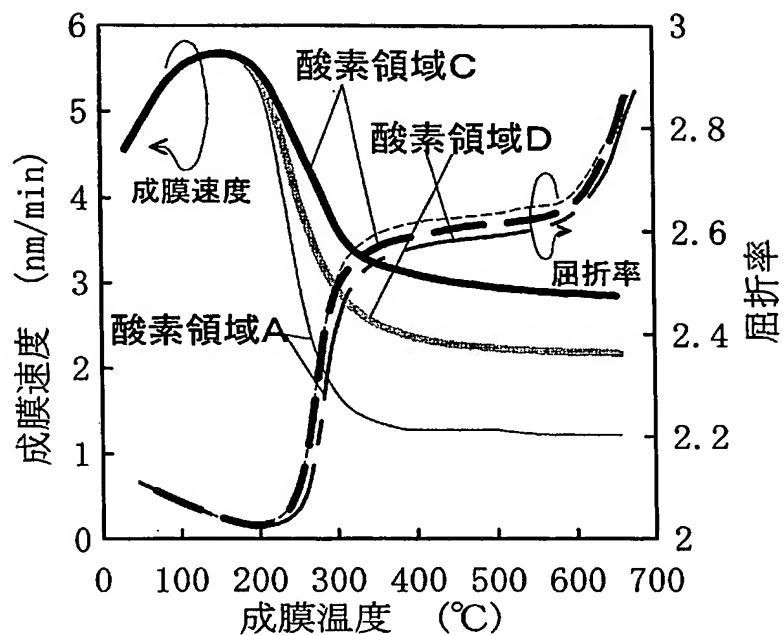
(c')



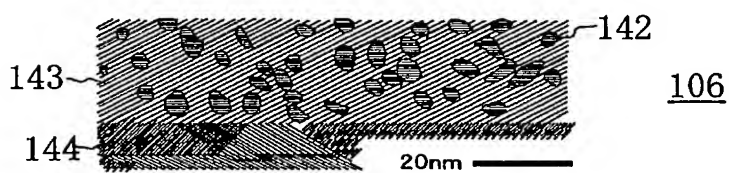
(d)



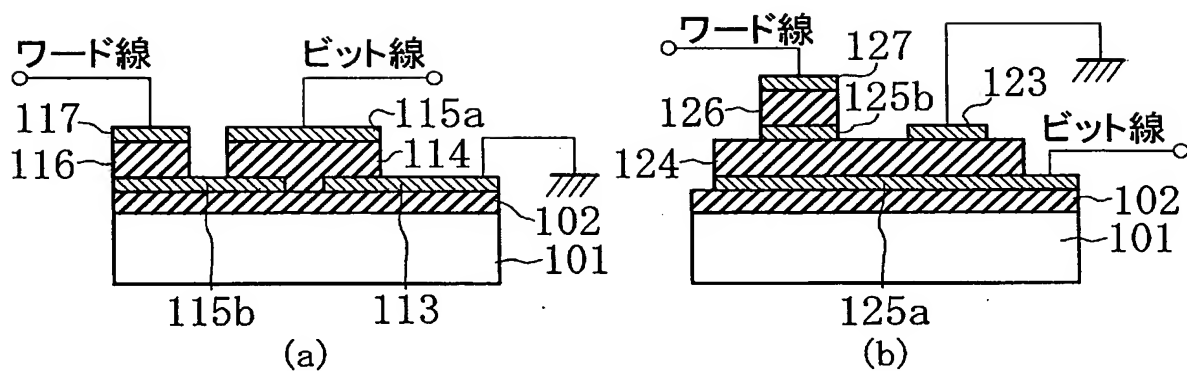
(d')

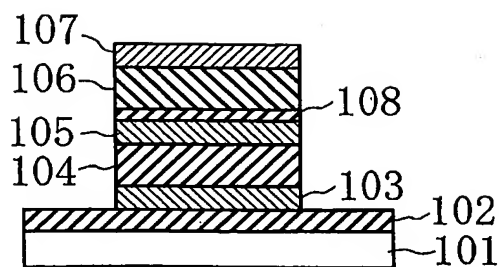


【図10】

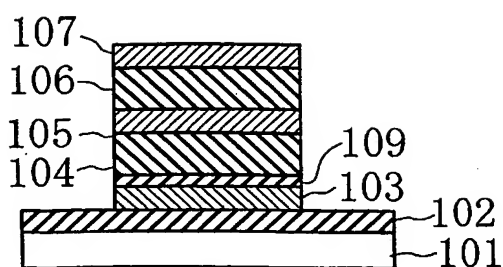


【図11】

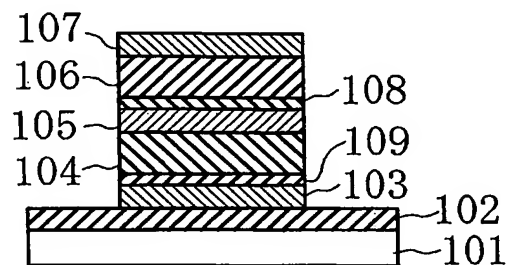




(a)

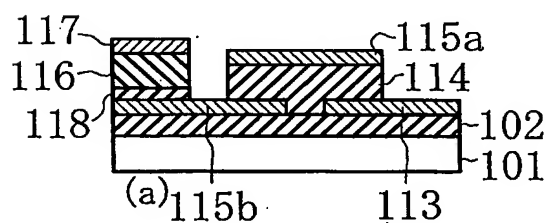


(b)

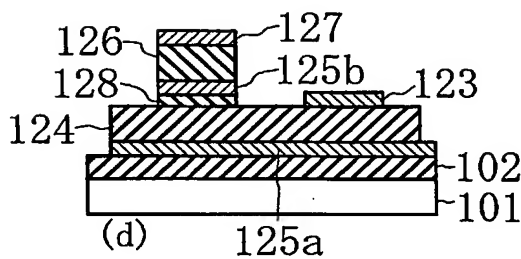


(c)

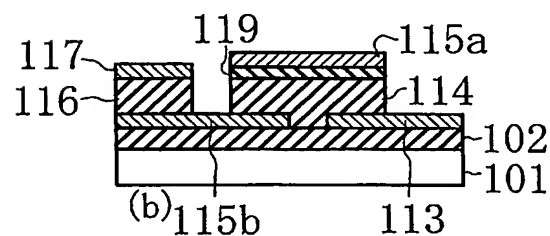
【图 13】



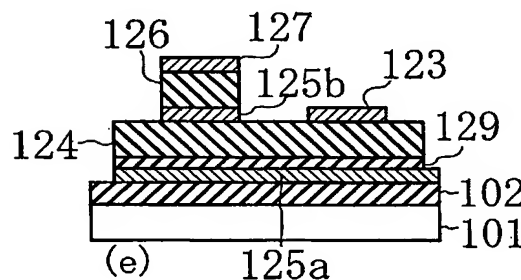
(a)



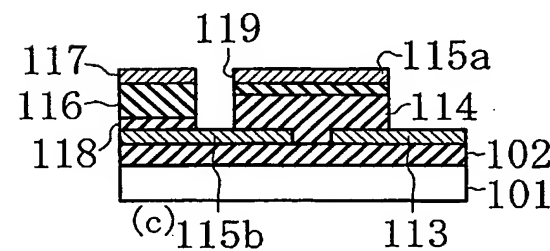
(d)



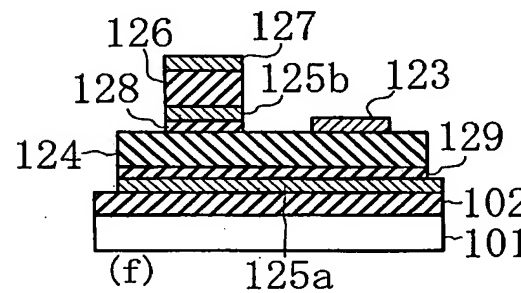
(b)



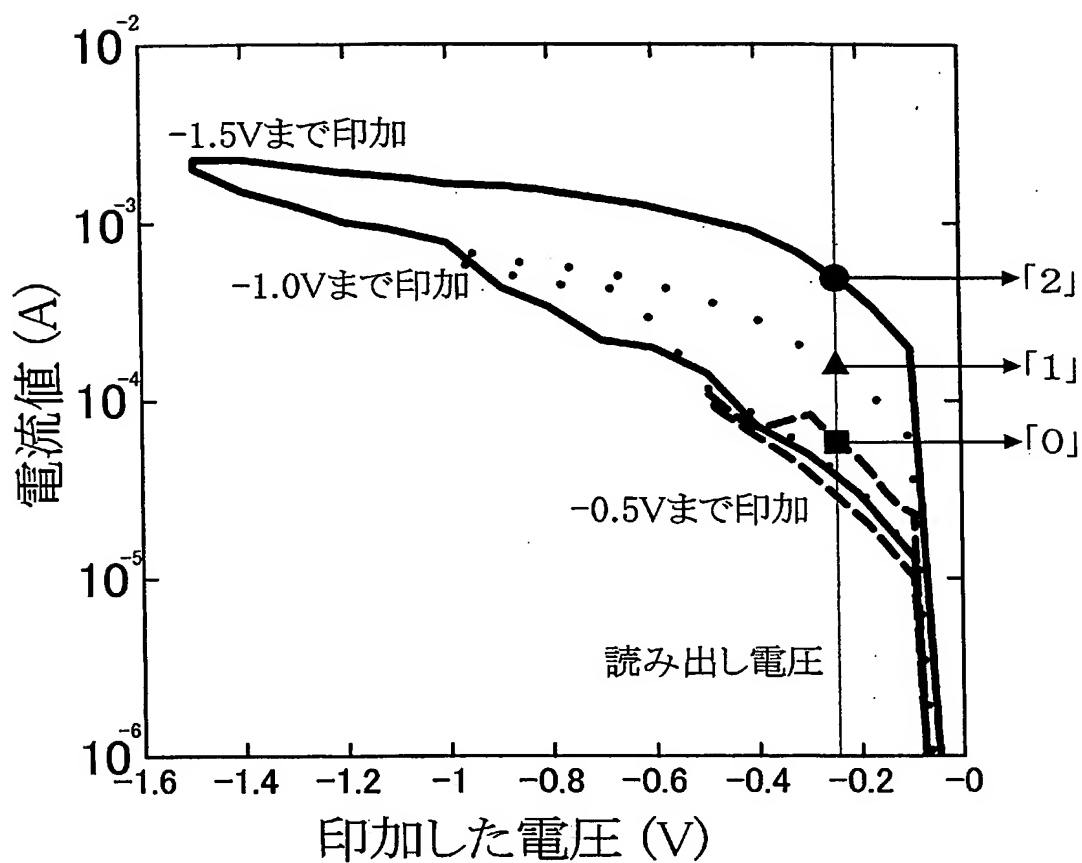
(e)



(c)

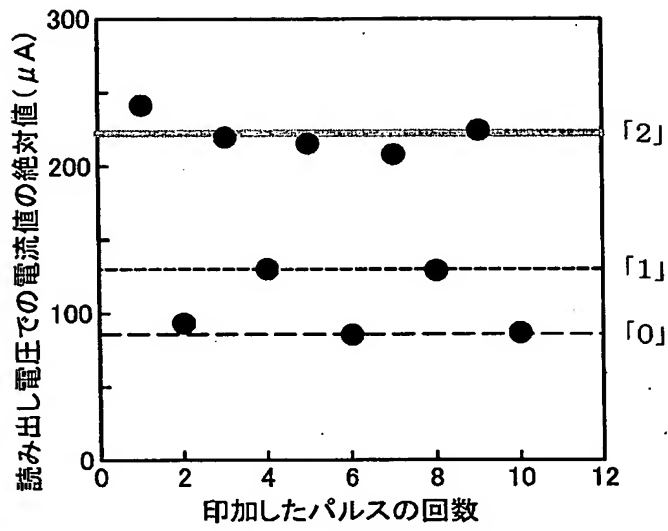


(f)

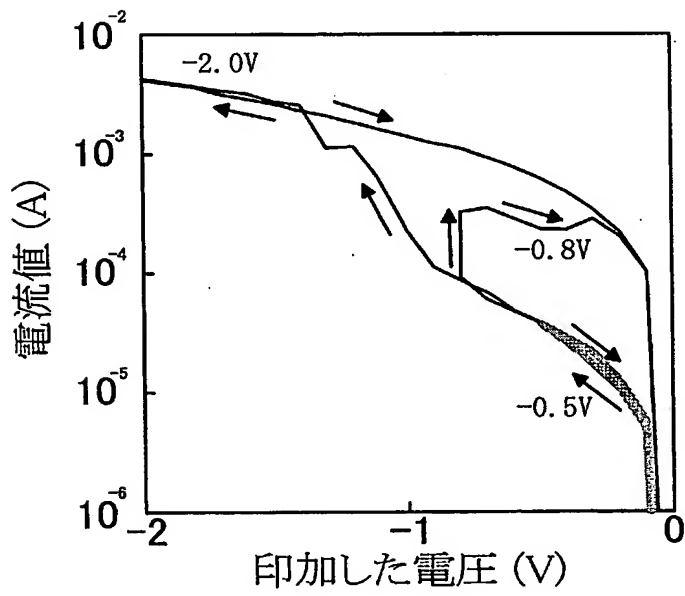


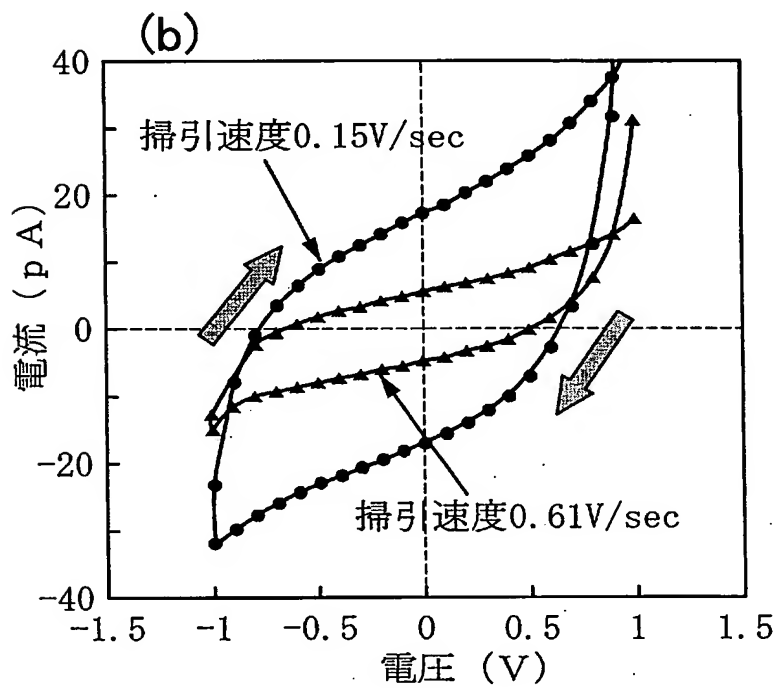
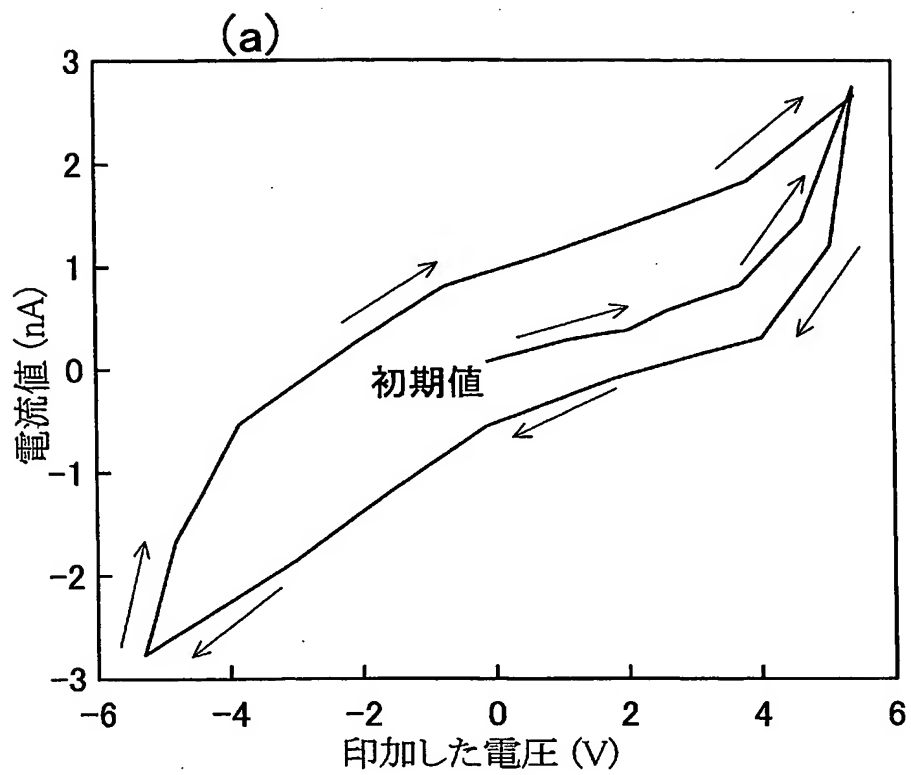
【図 15】

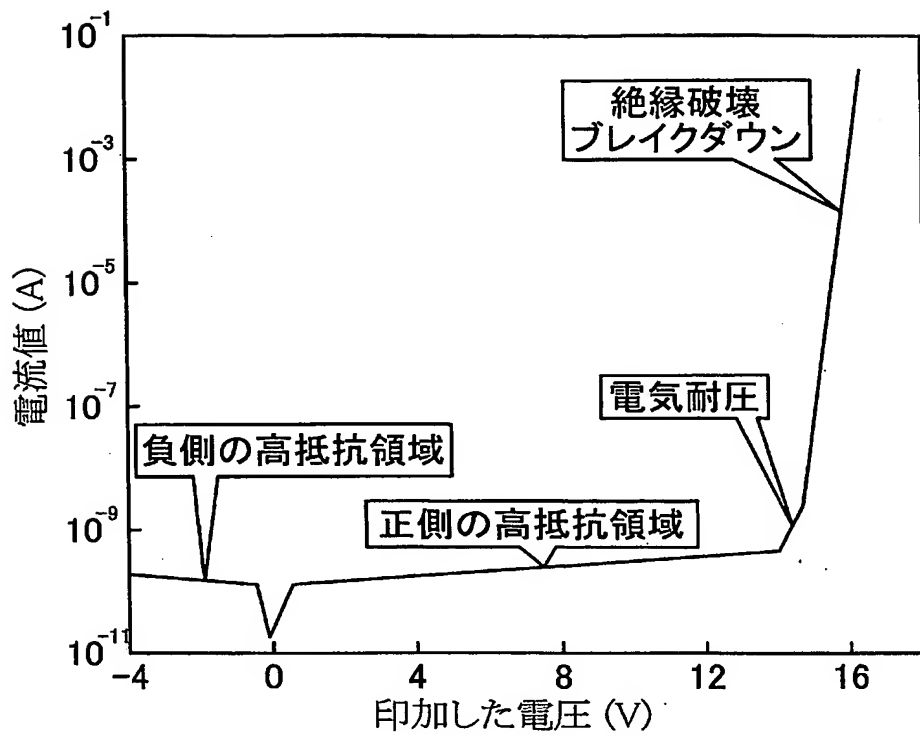
パルス回数	1	2	3	4	5
パルス電圧 (V)	-3	+3	-3	-1.5	-3
パルス幅 (μ sec)	10	10	10	10	10
状態	「1」	「0」	「2」	「1」	「2」



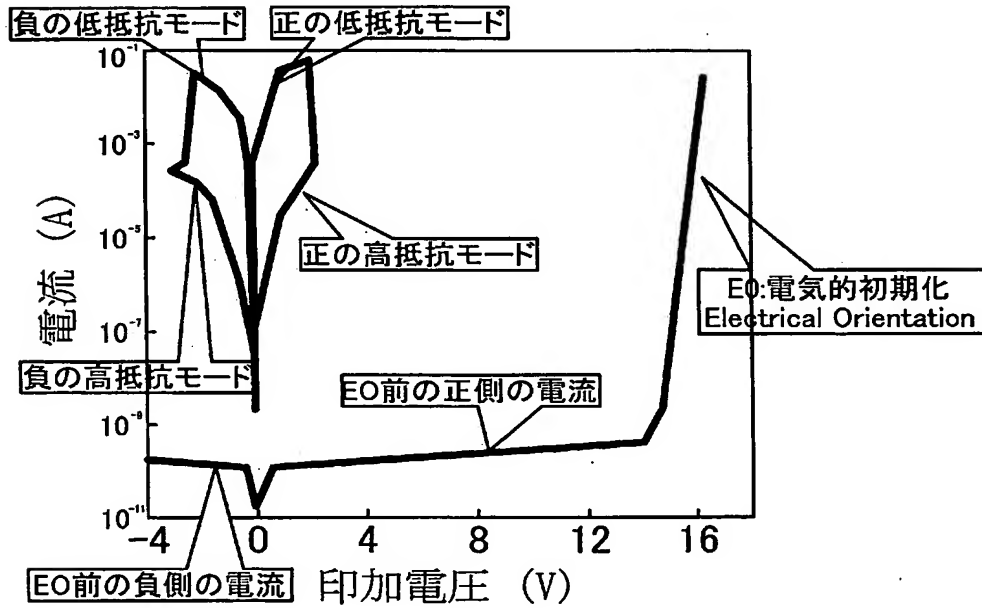
【図 1 7】

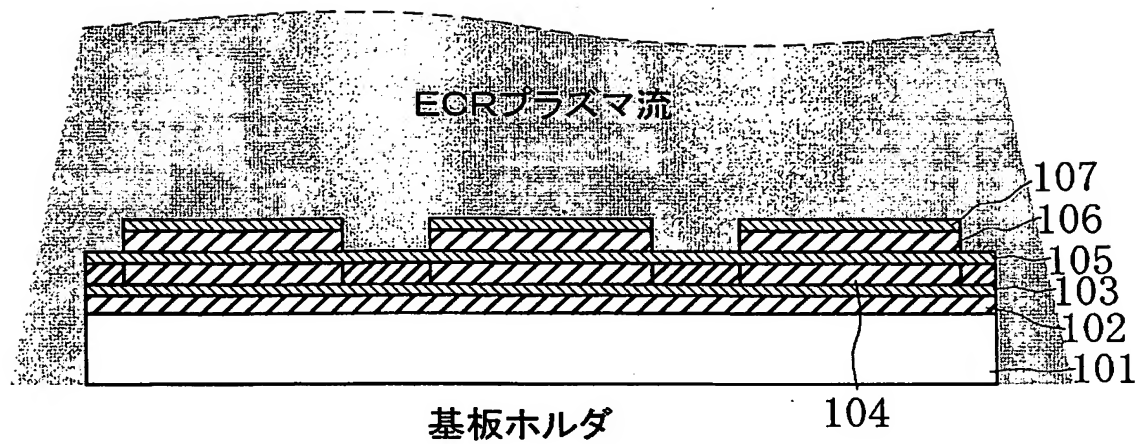




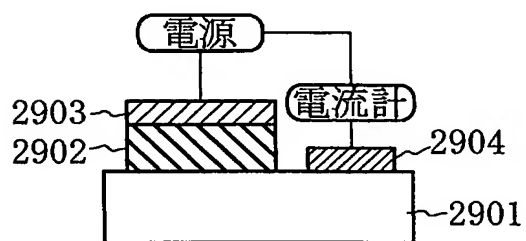


【図 20】





【図 2 2】



【要約】

【課題】 より安定に状態の保持が得られるなど、金属酸化物から構成された材料を用いて安定した動作が得られるメモリ素子を提供する。

【解決手段】 単結晶シリコンからなる基板 101 の上に絶縁層 102 , 接地電極 (第 1 電極) 103 , Bi と Ti と O とから構成された膜厚 30 ~ 200 nm 程度の金属酸化物からなるスイッチ層 104 , ビット電極 (第 2 電極) 105 , Bi と Ti と O とから構成された膜厚 30 ~ 200 nm 程度の金属酸化物からなるメモリ層 106 , ワード電極 (第 3 電極) 107 を備える。本メモリ素子は、接地電極 103 とスイッチ層 104 とメモリ層 106 とワード電極 107 とが、これらの順に直列に接続され、スイッチ層 104 にはビット電極 105 が設けられている。

【選択図】 図 1

0 0 0 0 0 4 2 2 6

19990715

住所変更

5 9 1 0 2 9 2 8 6

東京都千代田区大手町二丁目3番1号

日本電信電話株式会社

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/013413

International filing date: 21 July 2005 (21.07.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-070723
Filing date: 14 March 2005 (14.03.2005)

Date of receipt at the International Bureau: 25 August 2005 (25.08.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.